مجلة جامعة طرطوس للبحوث والدراسات العلمية_ سلسلة العلوم الهندسية المجلد (٤) العدد (٤) 2020
Tartous University Journal for Research and Scientific Studies- Engineering Sciences Series Vol. (4) No. (4) 2020

تصميم و وتحليل اداء دارة جامع كامل متسامح العطل باستخدام تقنيتي CMOS و GDI

سوزي صالح*

(تاريخ الإيداع ١٧ / ٢ / ٢٠٢٠ . قُبل للنشر ٣ / ٤ / ٢٠٢٠)

ملخص

مع التطور الكبير في الأنظمة الإلكترونية الحديثة، فإن الأخطاء التي تحدث في الشريحة تزداد مع ازدياد حجم الشريحة، لذلك يجب أن يكون النظام متسامح العطل لإنقاص معدل فشل النظام. و بما أن دارة الجامع تعد من أحد المكونات الرئيسة في تصميم الدوائر المتكاملة الخاصة بالتطبيقات الحسابية والمنطقية، فإن الاهتمام بتصميم دارة جامع متسامح العطل أصبح ضرورة ملحة. يتناول هذا البحث تصميم دارة جامع كامل لبت واحد متسامح العطل وذلك بالاعتماد على تقنيتين مختلفتين: تقنية Static or Conventional CMOS وتقنية Gate Diffusion Input (GDI) من أجل تخفيض عدد الترانزستورات المستخدمة وكذلك المساحة المشغولة على الشريحة. إن هذا التصميم يستطيع إصلاح الأخطاء المفردة والمزدوجة والمتعددة دون مقاطعة عمل النظام. حيث يقوم التصميم المقترح للجامع بعملية الفحص الذاتي لكشف الأخطاء و تصحيحها ليحافظ على خرج صحيح للدارة، وبالتالي امكانية استخدامها في التطبيقات و الأنظمة الحساسة بفعالية عالية، بالإضافة إلى استهلاك طاقة أقل دون الحاجة لاستخدام أي عناصر محولة للطاقة كما هو الحال في بعض الدارات الرقمية.

تمت عملية المحاكاة و حشر الاخطاء لكل تقنية من خلال برنامج DSCH3.5

الكلمات المفتاحية: جامع كامل، متسامح العطل، خطأ وحيد، خطأ مزدوج، وثوقية، GDI.

*أستاذ مساعد في كلية هندسة تكنولوجيا المعلومات و الاتصالات– قسم النظم الحاسوبية– جامعة طرطوس –
SusiSaleh@tartous-univ.edu.sy

مجلة جامعة طرطوس للبحوث والدراسات العلمية_ سلسلة العلوم الهندسية المجلد (٤) العدد (٤) 2020
Tartous University Journal for Research and Scientific Studies- Engineering Sciences Series Vol. (4) No. (4) 2020

Design and performance evaluation of fault tolerant full Adder circuit based on CMOS and GDI technology

Susi Saleh*

(Received 17 / 2 / 2020 . Accepted 3 / 4 / 2020)

Abstract

In the advanced microelectronics, rate of chip failure is increased with increased in chip density. And since the full adder circuit is one of the main components in the design of integrated circuits for computational and logical applications, the interest in designing a fault tolerant adder circuit has become very important.

This paper focuses on the design evaluation of fault tolerant 1-bit full adder using tow different topologies as Static Conventional CMOS and Gate Diffusion Input (GDI), in order to reduce the number of transistors used as well as the area overhead. This design can repair single, double and multiple faults without interrupting the system's work. The proposed design of the fault tolerant adder performs the process of self- checking to detect and correct faults to maintain a correct output of the circuit, and therefore the possibility of using it in applications and systems sensitive, in addition to consumption of less power without the need to use any elements of power converting as in some digital circuits.

Simulation and fault injection of each technology was done through DSCH3.5

Keywords: single fault, double fault, self-checking adder, self-repairing, fault tolerant, adder, GDI.

*Assistante Professor – Faculty of information and communication Technology, ICT Department -Tartous University- syria

SusiSaleh@tartous-univ.edu.sy

مقدمة:

يعد النظام المتسامح مع الأخطاء بالغ الأهمية في العديد من التطبيقات و النظم الالكترونية الحديثة، حيث وجود خطأ في هذه التطبيقات قد يؤدي الى فشل في وظائف النظام العام مما قد يسبب نتائج كارثية وخاصة في التطبيقات و الأنظمة المستخدمة في المجالات الفضائية والطبية والصناعية.

ومع ظهور الأنظمة الرقمية الكبيرة جداً VLSI (Very Large Scale Integration) و التي تمتاز بدرجة كثافة عالية (عدد كبير جداً من الترانزستورات ضمن رقاقة صغيرة الحجم)، فإن احتمال حدوث الأعطال الفيزيائية (faults) من النوع Stuck at 1 و Stuck at 0 (و التي تنتج عن دارات قصر ما بين احد الاسلاك في الدارة و احد منابع التغذية Vdd او Gnd) تزداد بشكل كبير مسببة في اغلب الأحيان ظهور الأخطاء(errors) في بعض أجزاء النظام و التي بدورها قد تؤدي الى فشل عمل النظام.

تعتبر عملية تصحيح الأخطاء التي تحدث في الانظمة و التطبيقات الحديثة ، والتي من الصعب أن تتدخل اليد البشرية فيها أثناء عملها، جزء أساسي و مهم عند تصميم أي نظام، لذلك يتم الاعتماد على التصاميم متسامحة العطل في تصميم الأنظمة الحساسة .

تعد دارات الجامع الكامل FA (Fall Adder) من أهم المكونات في معظم الدارات الرقمية و دارات الحساب المعقدة مثل المعالجات الدقيقة أو معالجات الإشارات الرقمية أو معالجات الصور الرقمية، ووحدة الفاصلة العائمة وذاكرة التخزين المؤقت ووحدة الوصول إلى الذاكرة. كما أنها تعد الدارة الأكثر أهمية عند تصميم وحدة المعالجة المركزية فهي تعتبر بمثابة حجر الأساس في وحدة الحساب والمنطق ALU وهي المسؤلة عن عمليات الجمع والطرح والضرب والقسمة[3−1]..

و مع التطور الكبير للأجهزة و الانظمةالإلكترونية، فإن الحاجة إلى استخدام الطاقة المنخفضة والسرعة العالية وتقليل المساحة المشغولة أصبحت ضرورية مع تزايد تعقيد الأجهزة وطرق تصميمها، من أهم هذه الطرق تقنية GDI التي بينت أنها فعالة من حيث تخفيض استهلاك الطاقة والمساحة مقارنة بتقنية CMOS لنفس الدارة المستخدمة . [4−5]

بناءً على ذلك، تم اقتراح العديد من دارات الجامع الكامل المتسامحة العطل و التي تراعي شروط التصميم VLSI مثل استهلاك الطاقة والتأخير والمساحة.

قدم الباحثون في [2] نموذجاً لجامع كامل متسامح العطل بتقية CMOS و بوثوقية عالية وتصميم جيد يخفض من عدد الترانزستورات إلا أن التصميم ينفذ عمليات معقدة للكشفعن الأخطاء كوجود وحدات وظيفية إضافية.

قام الباحثون في [٦] نموذجاً لجامع كامل متسامح العطل بتقية Double Pass Transistor Logic (DPL) وبالرغم من عدد الترانزستورات المنخض في هذه الدراسة إلا أن التصميم قادر على كشف خطأ وحيد على أحد مداخله الأولية فقط.

قدم الباحثون في [7] نموذجاً لجامع كامل متسامح العطل باستخدام تقنية GDI يخفض من عدد ترانزستورات الشريحة إلا أن هذا النموذج غير قادر على كشف الأخطاء المزدوجة أيضاً.

قام الباحثون في [8,9] بتصميم دارة جامع متسامح العطل حيث اعتمد الباحثون على مفهوم التصحيح المشترك للأخطاء لكل من الحمل والجمع إلا أن هذا النموذج غير قادر على كشف الأخطاء المزدوجة أيضاً.

هدف البحث:

سنقوم في هذا البحث بتصميم دارة جامع كامل متسامح العطل باستخدام تقنية GDI حيث يكون هذا التصميم قادر على اكتشاف واختبار وجود خطأ وحيد وخطأ مزدوج و أخطاء متعددة مع إمكانية تصحيح هذه الأخطاء لإعطاء خرج صحيح للدارة، وبالتالي امكانية استخدامها في التطبيقات و الأنظمة الحساسة بفعالية عالية، بالإضافة إلى استهلاك طاقة أقل دون الحاجة لاستخدام أي عناصر محولة للطاقة كما هو الحال في بعض الدارات الرقمية.

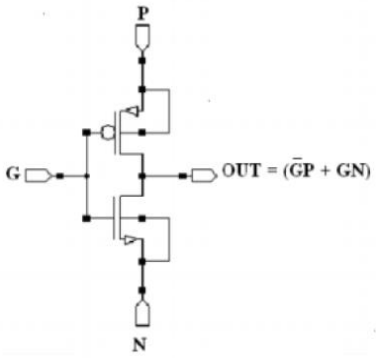
تم الاعتماد على برنامج DSCH3.5 من اجل محاكاة الدارة و عملية حشر الاخطاء فيها من النوع Stuck at 1 و Stuck at 0.

طرائق البحث ومواده:

١. تقنية GDI(Gate diffusion input)

هي تقنية جديدة لتصميم الدارات الرقمية، تسمح بتقليل استهلاك الطاقة وتأخير الانتشار ومساحة الدارة الرقمية، مع الحفاظ على تعقيد منخفض للتصميم المنطقي، تظهر خلية GDI الأساسية في الشكل(١)، حيث تتكون من أربعة طرفيات وهي:

١. G (Common Gate input of NMOS and PMOS transistor)
٢. P (Outer diffusion node of PMOS transistor)
3. N (Outer diffusion node of NMOS transistor)
4. Out (Common diffusion node of both transistors)



الشكل (١): خلية GDI

يوضح الجدول (١) بعض العلاقات والوظائف المنطقية المنفذة بتقنية GDI.

N	P	G	Out	Function
0	B	A	A'B	F1
B	1	A	A'+B	F2
1	B	A	A+B	OR
B	0	A	AB	AND
C	B	A	A'B+AC	MUX
0	1	A	A'	NOT

الجدول (١): جدول العلاقات المنطقية لتقنية GDI

٢. منهجية التصميم للنموذج المقترح

يقدم الباحثون في [2] نموذجاً محسناً للجامع الكامل المتسامح العطل يستطيع كشف الأخطاء الفردية والمزدوجة، يستخدم الباحثون طريقة الفائضية للكشف عن الأخطاء بحيث تكون نسبة الترانزستورات في الجامع بدون وجود دارة تصحيح الاخطاء مع الجامع المحسن المتسامح العطل هي ١٩٢,٨٥% أي زيادة في عدد الترانزستورات بمقدار 92.85% عن التصميم، تعتبر هذه النسبة محسنة بالمقارنة مع التصاميم السابقة إلا أنه يمكن إجراء تصميم أفضل بعدد ترانزستورات أقل.

يتم تحسين عملية التصميم السابقة وفق المراحل الآتية:

-اعتماد مفهوم التصحيح المستقل للأخطاء لكل من الحمل والجمع لتنجب وجود الأخطاء المزدوجة التي لا تستطيع كشفها التصاميم في [8,9].

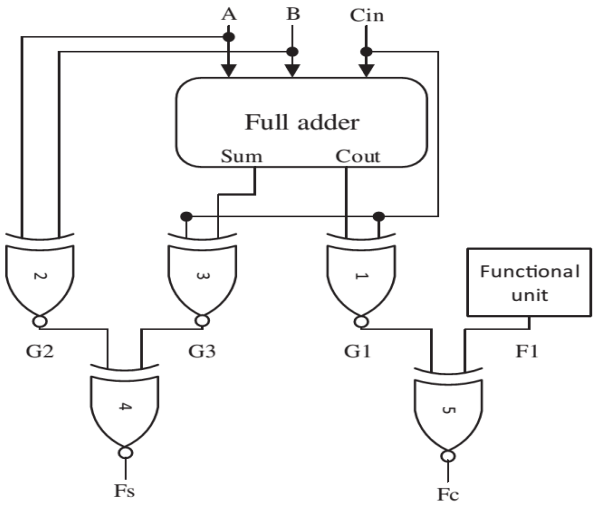
-إلغاء الوحدة الوظيفية (Functional unit)المضافة في النموذج [2] من أجل تخفيض التعقيد والتقليل من العمليات الحسابية لكشف الخطأ.

-بناء نموذج لكشف الأخطاء.

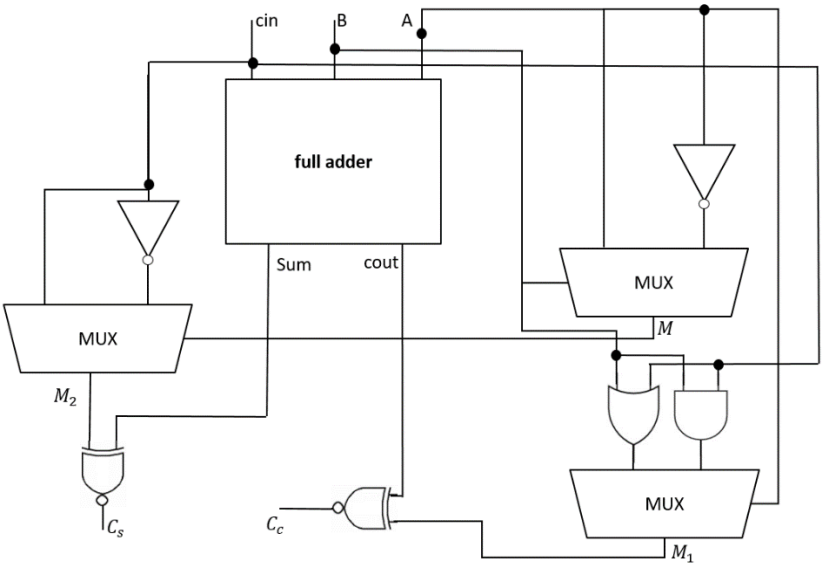
-بناء النموذج النهائي لتصحيح الأخطاء.

٣-٣. النموذج المقترح وقدرته على كشف الأخطاء:

قدم الباحثون في [2] البنية المبينة في الشكل (٢)، ولتحسين النموذج السابق تم تعديل هذا التصميم ليصبح كما في الشكل (٣)، حيث تم الغاء عمل الوحدة الوظيفية (Functional unit) بهدف تقليل عدد الترانزستورات و المساحة.



شكل (٢): جامع كامل يكشف الأخطاء مقترح في [2]



شكل (٣): النموذج المقترح لجامع كامل يكشف الأخطاء

يتم في هذا التصميم المقترح مقارنة الجمع Sum مع $M1$ وقيمة الحمل $Cout$ مع $M2$ والتي يمكن تمثيلها بالعلاقات:

$$M = \bar{A}B + A\bar{B} \quad (1)$$
$$M1 = (B + Cin)A + \bar{A}BCin \quad (2)$$
$$M2 = \overline{Cin}M + cin\bar{M} \quad (3)$$
$$CC = \overline{cout \oplus M1} \quad (4)$$
$$Cs = \overline{sum \oplus M2} \quad (5)$$

إذا كانت قيمة Sum مع $M2$ متطابقتين تكون $Cs = 1$ وتعبر عن عدم وجود أخطاء والعكس إذا كانت $Cs = 0$ تعبر عن وجود خطأ في ناتج قيمة الجمع.

ذا كانت قيمة $Cout$ مع $M1$ متطابقتين تكون $Cc = 1$ وتعبر عن عدم وجود أخطاء والعكس إذا كانت $Cc = 0$ تعبر عن وجود خطأ في ناتج قيمة الحمل.

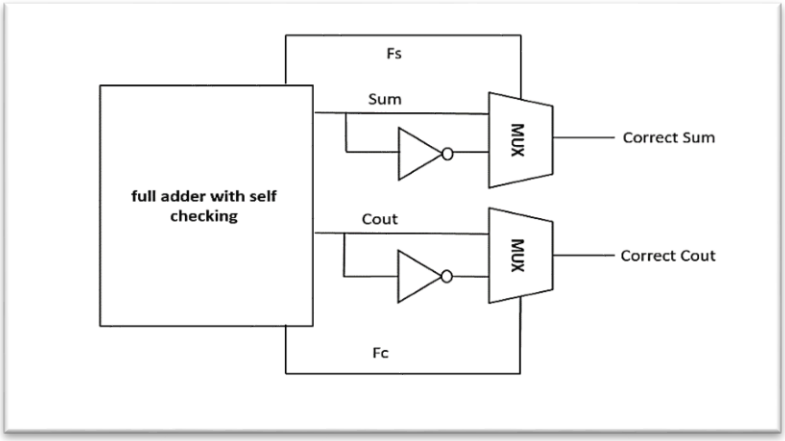
يوضح جدول الحقيقة (2) طريقة كشف الأخطاء في الدارة.

جدول (2): جدول الحقيقية للتصميم المقترح

A	B	Cin	Sum	Cout	M	M1	M2	Cc	Cs
0	0	0	0	0	0	0	0	1	1
0	0	1	1	0	0	0	١	1	1
0	1	0	1	0	1	0	1	1	1
0	1	1	0	1	١	1	0	1	1
1	0	0	1	0	1	0	1	1	1
1	0	1	0	1	1	1	0	1	1
1	1	0	0	1	0	1	0	1	1
1	1	1	1	1	0	1	1	1	1

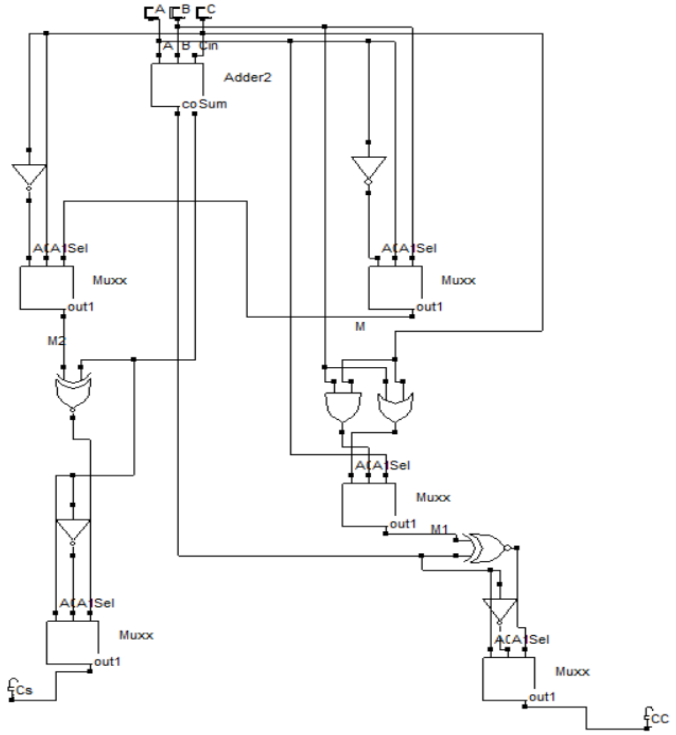
٣. النموذج المقترح و قدرته على إصلاح الأخطاء:

يتم إصلاح الخطأ في الجمع باستخدام إشارة Cs كنبضة قدح على ناخب للاختيار بين Sum و$\overline{Sum}$ ليتم تصحيح قيمة الجمع كذلك يتم إصلاح الخطأ في قيمة الحمل باستخدام Cc كنبضة قدح على ناخب للاختيار بين $Cout$ و $\overline{Cout}$ كما هو موضح في الشكل *(3)*.



شكل (٣): طريقة الإصلاح في الجامع المتسامح العطل

يصبح النموذج النهائي المقترح للجامع الكامل المتسامح العطل وفق تقنية CMOS كما في الشكل (4).



شكل (4): النموذج المقترح لدارة جامع كامل متسامح العطل وفق تقنية CMOS

١. تصميم الجامع الكامل المتسامح العطل باستخدام تقنية GDI:

ظهرت العديد من الدراسات التي اهتمت بلتصميم دارة جامع كامل لبت واحد وفق تقنية GDI ، والتي اعتمدت على استبدال البوابات والنواخب المصنعة وفق تقنية CMOS بخلية تقنية الـ GDI الأساسية [10-12].

يبين الشكل (٥) التصميم المقترح لدارة جامع كامل متسامح العطل مصمم وفق تقنية GDI.

٢. النتائج والمحاكاة

بعد أن استعرضنا بنية دارة جامع كامل متسامح العطل بالاعتماد على تقنيتين مختلفتين هما تقنية Static or Conventional CMOS وتقنية Gate Diffusion Input (GDI). من أجل مقارنة مساحة الرقاقة والطاقة المستهلكة والتأخير الزمني لكل تقنية.

تم الاعتماد على برنامج DSCH3.5 من اجل عملية المحاكاة وتم حشر مجموعة من الأخطاء المفردة و المزدوجة و المتعددة على كل من :

١- الاسلاك الداخلية ضمن البنية الأساسية لدارة الجامع.

٢- مداخل ومخارج الجامع

٣- الاسلاك M, M_1, M_2

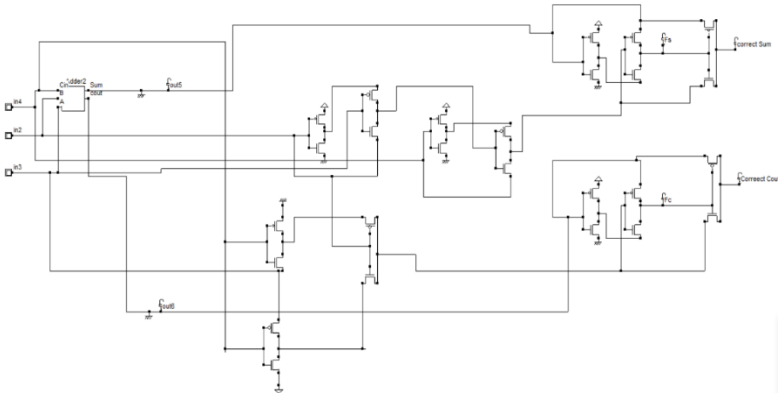
يبين الشكل (6) النموذج المقترح لدارة جامع كامل متسامح العطل وفق تقنية مع حشر خطأين:

-الخطأ F1 من النوع SA0 على إشارة ناتج الجمع sum للجامع

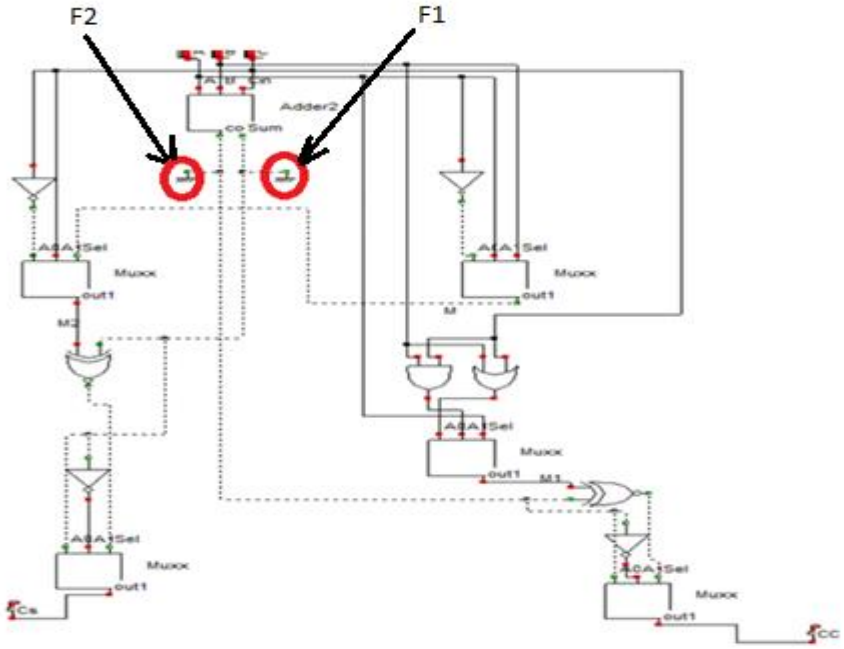
-الخطأ F2 من النوع SA0 على إشارة الحمل Cout للجامع

من أجل المحاكاة قمنا أولاً بمحاكاة الدارة السابقة مع وجود الخطأ F1 فقط (خطأ وحيد) ثم محاكاة الدارة مع وجود F1 و F2 (خطأ مزدوج)

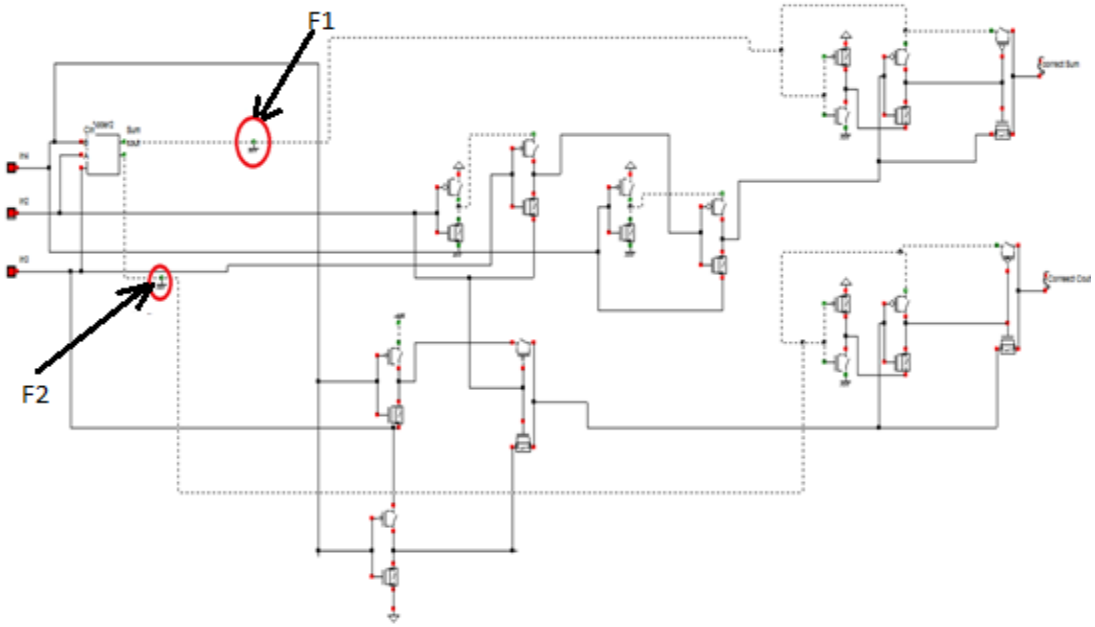
و يبين الشكل (٧) النموذج المقترح لدارة جامع كامل متسامح العطل وفق تقنية CDI على مستوى الترانزستورات مع حشر نفس الخطأين:



شكل (٥): النموذج المقترح لدارة جامع كامل متسامح العطل باستخدام تقنية GDI

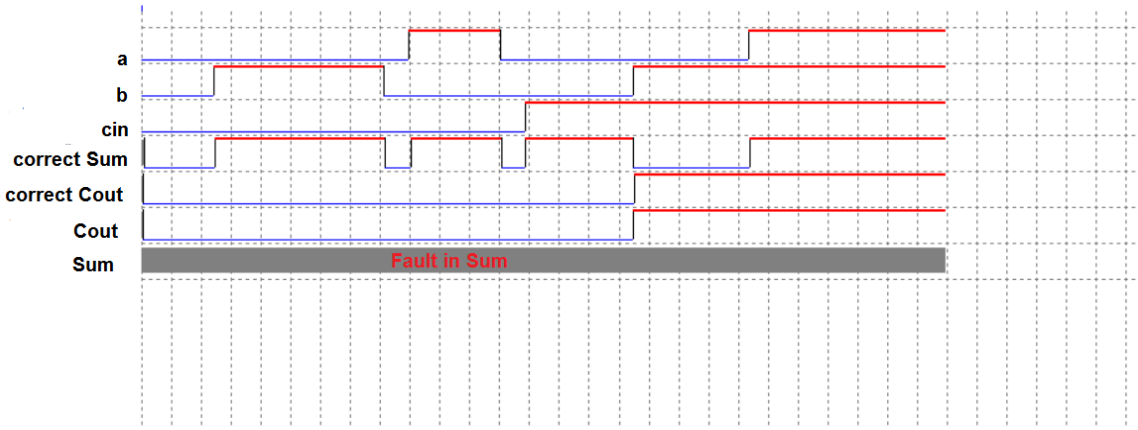


شكل (6): حشر خطأين على ناتج الحمل والجمع في COMS

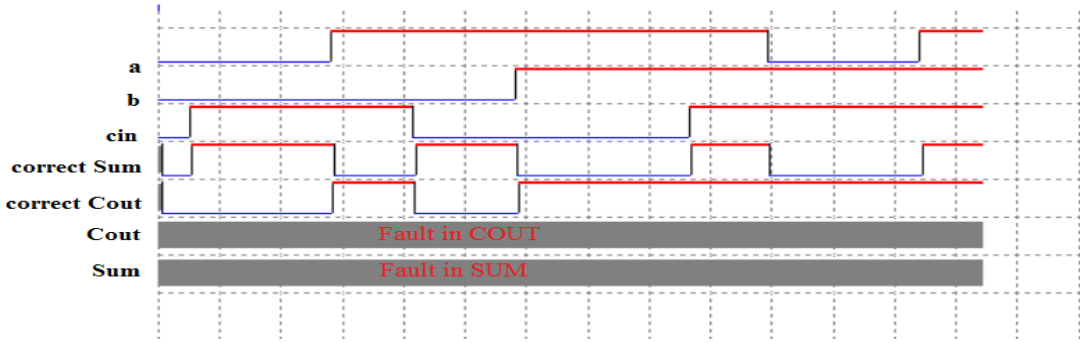


شكل (7): حشر خطأين على ناتج الحمل والجمع في GDI

نتائج المحاكاة للتأكد من صحة عمل هذه الدارة مبينة بالشكل (٨) في حالة الخطأ المفرد و بالشكل (١٢) في حالة الخطأ المزدوج.



شكل (٨): نتائج المحاكاة بحشر خطأ على ناتج الجمع.



شكل (٩): نتائج المحاكاة بحشر خطأين على ناتج الحمل والجمع معاً.

نلاحظ أنه بالرغم من وجود الخطأ المفرد و الخطأ المزدوج فإن التصميم المقترح قد أعطى نتائج صحيحة على المخرجين correct Sum و Correct Cout في كلا الحالتين أي أنه استطاع كشف الخطأ و تصحيحه.

يوضح الجدول (٣) الأخطاء التي نم حقنها ضمن الدارة واستجابة الدارة لكشف و تصحيح هذه الأخطاء:

جدول (٣): الأخطاء التي تم حقنها و استجابة الدارة

نوع الخطأ $SA1, SA0$	نوع الأخطاء	عدد الأخطاء	نسبة الكشف و التصحيح
البنية الداخلية للجامع و المداخل A, B, C	خطا مفرد خطأ مزدوج خطأ متعدد(٣ أخطاء مع بعضها البعض)	٢٠	%١٠٠
M_1, M_2, M	خطا مفرد خطأ مزدوج خطأ متعدد(٣ أخطاء مع بعضها البعض)	٢٠	%١٠٠

$Sum, Cout, M_2, M1$	خطا مفرد خطأ مزدوج خطأ متعدد(٣ أخطاء مع بعضها البعض)	٢٠	%١٠٠
$Sum, Cout, M_2, M1$	أربع أخطاء أو أكثر	٢٠	%٨٠

مقارنة النتائج

كما تبين النتائج السابقة فإن التصميم المقترح يقدم وثوقية عالية في تصحيح الأخطاء المفردة و المزدوجة و المتعددة حيث كانت وثوقية الدارة ١٠٠% للاخطاء المحقونة التي لا تتجاوز ثلاث أخطاء في نفس الوقت بينما كانت وثوقية الدارة ٨٠% اذا تجاوز تم حقن أرعة أخطاء أو اكثر في نفس الوقت وهذه الحالة قليلة الحدوث مهما بلغ تعقيد الدارة.

من جهة أخرى فإن النموذج المقترح يخفض عدد ترانزستورات للشريحة بشكل جيد مقارنة مع عدد الترنزستورات مع [8][2].

تسمح العلاقة (6) بمقارنة الحجم الأصلي للجامع غير المتسامح مع الجامع المتسامح العطل، يوضح الجدول (3) نتائج المقارنة مع النموذجين.

$$Area_{overhead} = \frac{Area_{withFT} - Area_{WithoutFT}}{Area_{WithoutFT}} \times 100\% \qquad (6)$$

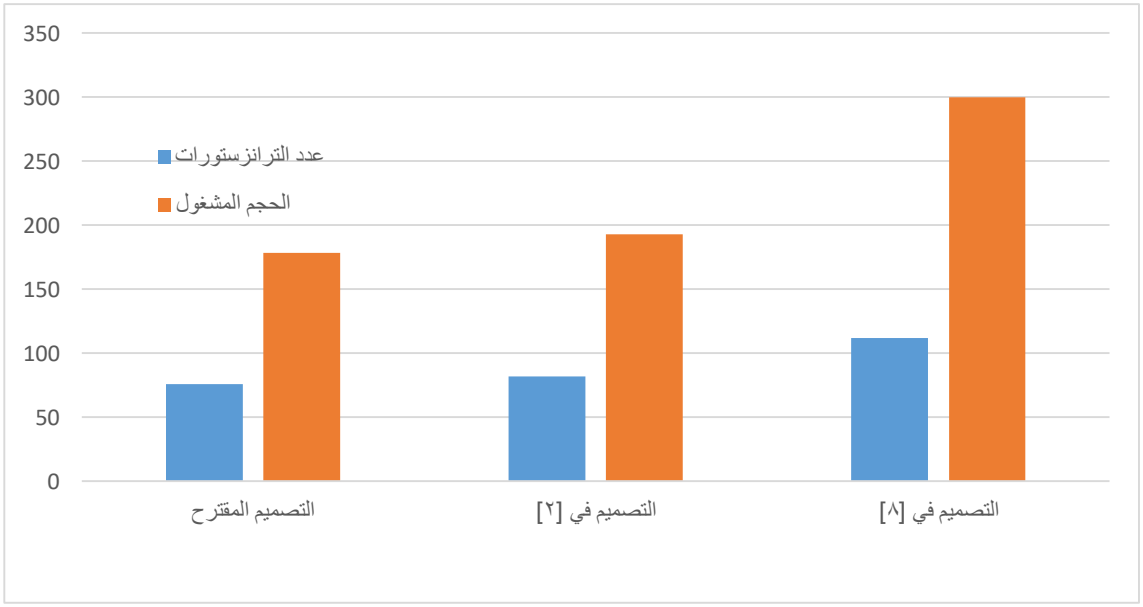
حيث $Area_{overhead}$ تمثل نسبة الزيادة بالمساحة المشغولة بعد إضافة وحدة تحكم للكشف عن الأخطاء في الجامع، $Area_{withFT}$ تمثل المساحة المشغولة بعد اضافة وجود دارة الكشف و التصحيح، $Area_{WithoutFT}$ المساحة المشغولة بدون وجود دارة الكشف و التصحيح.

الجدول (٣): مقارنة بين التصاميم من حيث عدد الترانزستورات وحجم الشريحة المستخدمة

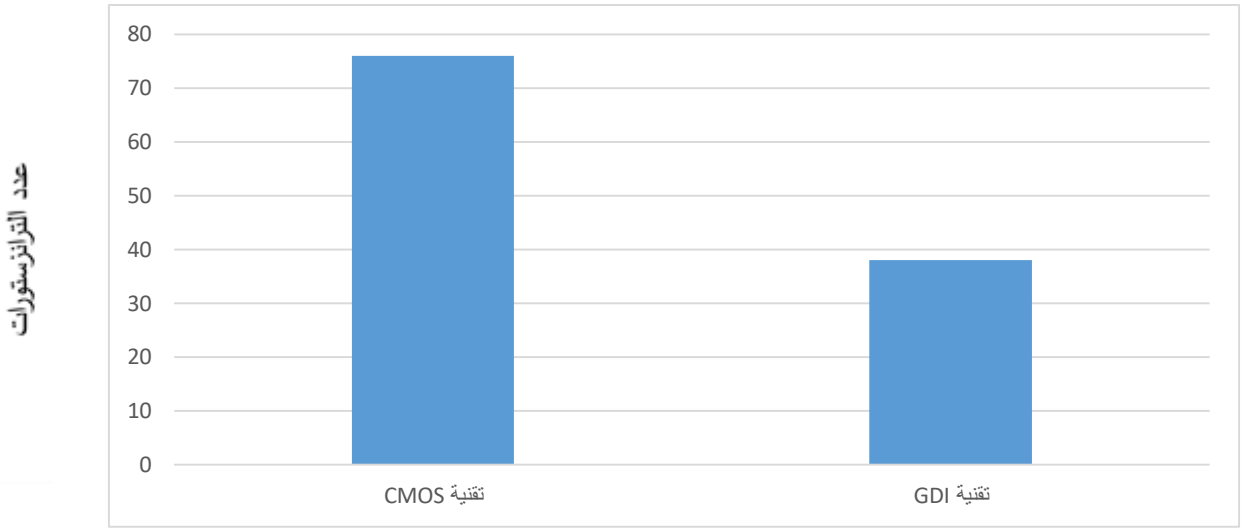
التصميم	عدد الترانزستورات	العدد الكلي للترانزستورات	المساحة المشغولة CMOS
التصميم المقترح	1- Adder 28 2-XNOR 12 5-MUX 20 4-Inverter 8 1-AND 4 1-OR 4	76	١٧١.14%

التصميم في [2]	1-Adder 28 5-XNOR 30 1-Fun unit 12 2-MUX 8 2-Inverter 4	82	192.85%
التصميم في [8]	2-Adder 56 4-XNOR 24 2-Fun unit 24 2-MUX 8	112	300%

الشكل (10) يبين نتائج المقارنة بين الدارات السابقة من حيث عدد الترانزستورات على الشريحة و حجم الشريحة و الشكل (١١) يبين نتائج المقارنة بين عدد الترانزستورات للنموذج المقترح وفق تقنيتي CMOS و GDI حيث تسمح تقنية الـ GDI بخفض عدد الترانزستورات بنسبة عن تقنية CMOS.



الشكل (١٠): مقارنة بين التصاميم من حيث عدد الترانزستورات وحجم الشريحة المستخدمة



شكل (11): مقارنة عدد الترانزستورات للنموذج المقترح وفق تقنيتي CMOS و GDI

الاستنتاجات والتوصيات

في هذا البحث تم تصميم لنموذج دارة جامع كامل لبت واحد متسامحة العطل بتقنية Static CMOS و التي تتألف من ٧٦ ترانزستور و بتقنية GDI و التي بدورها تتألف من ٣٨ ترانزستورات. وتمت عملية حقن مجموعة من الأخطاء المفردة و المزدوجة و المتعددة من النوع SA1 و SA0.

وبمقارنة نتائج المحاكاة نلاحظ أن هذا النموذج أفضل من حيث المساحة على الرقاقة من التصاميم السابقة التي درست بنفس المجال. و من ناحية أخرى نلاحظ ان هذا التصميم قادر على كشف الأخطاء الفردية و المزدوجة و المتعددة التي لا تتجاوز ثلاث أخطاء بنفس الوقت بوثوقية 100%.

بينما تنخفض وثوقيته الى ٨٠% اذا تجاوز عدد الأخطاء المحقونة أربعة اخطاء او أكثر. ومع ذلك يعتبر هذا النموذج المصمم لجارة جامع متسامح العطل ذو وثوقية عالية للاستخدامه في معالجات الإشارة الرقيمة وفي الأنظمة الطبية وأنظمة السلامة والأنظمة الفضائية، فالحصول على نتائج دقيقة ولا تحوي أخطاء في أنظمة كهذه أمر مهم، بالإضافة إلى أنه من أجل المعالجات المعقدة والتي تحتاج إلى عدد كبير من الجوامع، يظهر التأثير الواضح لانخفاض عدد الترانزستورات مما يخفض من استطاعة الشريحة ويقلل من حجم الشريحة المتسامحة العطل.

المراجع

[1] Alioto, M., & Palumbo, G. (2002). Analysis and comparison on full adder block in submicron technology. *IEEE transactions on very large scale integration (VLSI) systems*, *10*(6), 806-823.

[2] Kumar, P., & Sharma, R. K. (2016). Real-time fault tolerant full adder design for critical applications. *Engineering science and technology, an international journal*, *19*(3), 1465-1472.

[3] Stella, K., & Sowmiya, S. (2017). Energy Efficient Full Adders for Arithmetic Applications Based on GDI Logic. *Asian Journal of Applied Science and Technology (AJAST) Volume*, *1*, 36-39.

[4] Kaur, S., Singh, B., & Jain, D. K. (2015). Design and performance analysis of various adders and multipliers using GDI technique. *International Journal of VLSI design & Communication Systems (VLSICS)*, *6*(5), 45-56.

[5] Gupta, S., & Wairya, S. A GDI Approach to Various Combinational Logic Circuits in CMOS Nano Technology. International Journal Of Engineering And Computer Science ISSN: 2319-7242 Volume 5 Issue 4 April 2016, Page No. 16243-16247

[٦] Ayachi, A., & Hamdi, B. (2016). A Fault-Tolerant Full Adder in Double Pass CMOS Transistor. *International Journal of Electrical, Computer, Energetic, Electronic and Communication Engineering*, *10*(1), 36-40.

[8] M.A. Akbar, J.-A. Lee, Self-repairing adder using fault localization,Microelectron. Reliab. 54 (6) (2014) 1443–1451.

[9] Kalamani, C., Karthick, V. A., Anitha, S., & Kumar, K. K. Design and Implementation of 4 Bit Multiplier Using Fault Tolerant Hybrid Full Adder. International Journal of Electronics and Communication Engineering, 11(5), 618-625.

[١٠] Lakshmaiah, Dayadi, M. V. Subramanyam, and K. Sathya Prasad. "A Novel Design of Low-Power 1-Bit CMOS Full-Adder Cell Using XNOR and MUX." *INTERNATIONAL JOURNAL OF MANAGEMENT & INFORMATION TECHNOLOGY* 7, no. 3 (2013): 1155-1165.

[١١] Reddy, Karthik G. "Low power-area designs of 1bit Full adder in cadence virtuoso platform." *International Journal of VLSI Design & Communication Systems* 4, no. 4 (2013): 55.

[١٢] Uma, R., and P. Dhavachelvan. "Modified gate diffusion input technique: a new technique for enhancing performance in full adder circuits." *Procedia Technology* 6 (2012): 74-81.