مجلة جامعة طرطوس للبحوث والدراسات العلمية _ سلسلة العلوم الأساسية المجلد (3) العدد (4)2019
Tartous University Journal for Research and Scientific Studies –Basic sciences Series Vol. (3) No.(4) 2019

تحسين أداء خوارزمية SIMULATED ANNALING من اجل تحسين تموضع البلوكات ضمن شريحة FPGA

الدكتور: كمال محمود عفيصه*

الدكتور: محمد ياسين صبيح**

ربى جرجس خيجة***

(تاريخ الإيداع 18/ 11/ 2019. قُبِل للنشر في 22 / 12 /2019)

□ ملخّص □

لقد شهدت الآونة الأخيرة زيادة هائلة في عدد تصاميم الدارات التي يمكن تنفيذها في شريحة FPGA مفردة. إن الصعوبات التي تواجه شرائح "FPGA field–programmable gate array" مماثلة في طبيعتها للمشاكل التي تعاني منها تصاميم "Application Specific Integrated Circuit" ASIC تصميم الدارات المتكاملة لتطبيق معين "؛ من حيث شكل التصميم وأبعاده، ومشاكل الضياعات في الطاقة و التأخير الزمني في نقل الإشارات الكهربائية بين وحدات التصميم، برغم كون التقنيات المستخدمة في حل مشاكل ASIC مختلفة عن تلك التي تحل مشاكل FPGA ، يقدم البحث تعديلاً على خوارزمية التموضع المستخدمة في تحديد أماكن توضع موارد FPGA "العناصر الإلكترونية التي تبرمج" على الشريحة بهدف تقليل عدد البلوكات المستخدمة من الشريحة، وذلك عن طريق التعديل على VPR package المستخدم من قبل برنامج QUARTIZ والذي يتحكم بخوارزميات التموضع والتوجيه؛ حيث تحدد الأخيرة طريقة توزيع العناصر الإلكترونية المحققة للنظام ضمن شريحة FPGA ، لقد خفض التعديل المقترح استهلاك الطاقة؛ إذ تم تقليل عدد البلوكات التي جرت برمجتها بنسبة تصل إلى 30%، الأمر الذي قلل من استهلاك الطاقة وقلل من الانتشار الحراري للشريحة؛ لكون هذه الخوارزميات تعد عاملاً يؤثر تأثيراً كبيراً في عميلة النشر الحراري للشريحة .

الكلمات المفتاحية : VPR package ، خوارزمية التموضع.

* أستاذ مساعد – قسم الفيزياء – كلية العلوم – جامعة تشرين – اللاذقية – سورية.

** أستاذ مساعد –قسم النظم والشبكات الحاسوبية– كلية الهندسة المعلوماتية– جامعة تشرين – اللاذقية – سورية.

*** طالبة دراسات عليا (دكتوراه) – قسم الفيزياء – كلية العلوم – جامعة تشرين – اللاذقية –سورية.

مجلة جامعة طرطوس للبحوث والدراسات العلمية _ سلسلة العلوم الأساسية المجلد (3) العدد (4)2019
Tartous University Journal for Research and Scientific Studies –Basic sciences Series Vol. (3) No.(4) 2019

Improving the performance of the SIMULATED ANNALING algorithm in order to improve the positioning of the blocks in the FPGA chip

Dr. Kamal Mahmoud Afisa*
Dr. Mohammed Yassin Subaih**
Roba.G. Khega***

(Received 18 /11 /2019. Accepted 22/ 12 /2019)

□ ABSTRACT □

Recently, there has been a massive increase in the number of circuit designs that can be implemented in a single FPGA chip. The difficulties facing the FPGA "field-programmable gate array" chips are similar in nature to the problems experienced by Application Specific Integrated Circuit designs (ASIC design of integrated circuits for a specific application) in terms of the shape of the design and its dimensions, problems of energy losses and time delay in the transmission of electrical signals between Design units despite the fact that the techniques used to solve ASIC problems are different from those that solve FPGA problems , The research provides an amendment to the positioning algorithm used in determining where to place the FPGA resources, "electronic elements programmed" on the chip in order to reduce the number of blocks used from the chip, by modifying the VPR package used by the QUARTIZ program, which controls the positioning and orientation algorithms where the latter determines the method of distribution The electronic components achieved for the system within the FPGA chip, the proposed amendment has decreased, the number of blocks that have been programmed has been reduced by up to 30%, which reduces energy consumption and reduces the thermal spread of the chip because these algorithms are a factor that greatly affects the process Slice spread.

Keywords: VPR, positioning algorithm, mass positioning

*Associate Professor _Physics Depatment_ college Of Science _Tishreen University _ Syria .
** Associate Professor _ Department Of Computer Systems and Network_Faculty Of Informatics Engineering _Tishreen University _ Syria .
***Postgraduate _ Physics Depatment_ college Of Science _Tishreen University _ Syria .

مقدمة

أمام التقدم التكنولوجي المتسارع الذي يشهده عالم الإلكترونيات ازداد الطلب على البنى الإلكترونية القائمة على FPGA؛ نظراً للخصائص التي تمتاز بها هذه الوحدات، والتي تتعلق بانخفاض تكاليف التطوير وسرعة بناء المنظومات الإلكترونية وقابلية محاكاتها والتعديل عليها[1]. ولكن مع هذا التطور المتسارع بدأت تظهر اليوم عدة صعوبات مرتبطة بالتأخير الزمني للإشارات الفيزيائية، التي يتم تناقلها بين وحدات التصميم القائم على شرائح FPGA، بالإضافة إلى استهلاك ذاكرة ومساحة أكبر للتصميم ضمن الشريحة[2] .

أهمية البحث وأهدافه

يهدف البحث إلى تقديم حل لتقليل عدد البلوكات المنطقية التي تشغلها التصاميم الإلكترونية المستخدمة لشرائح FPGA؛ حيث يتم تحسين نتائج نقل البيانات من ناحية السرعة ومن ناحية تقليل الطاقة المستهلكة وتقليل عدد البلوكات المستخدمة في الشريحة، بالإضافة إلى تقليل الانتشار الحراري.

طرق البحث ومواده

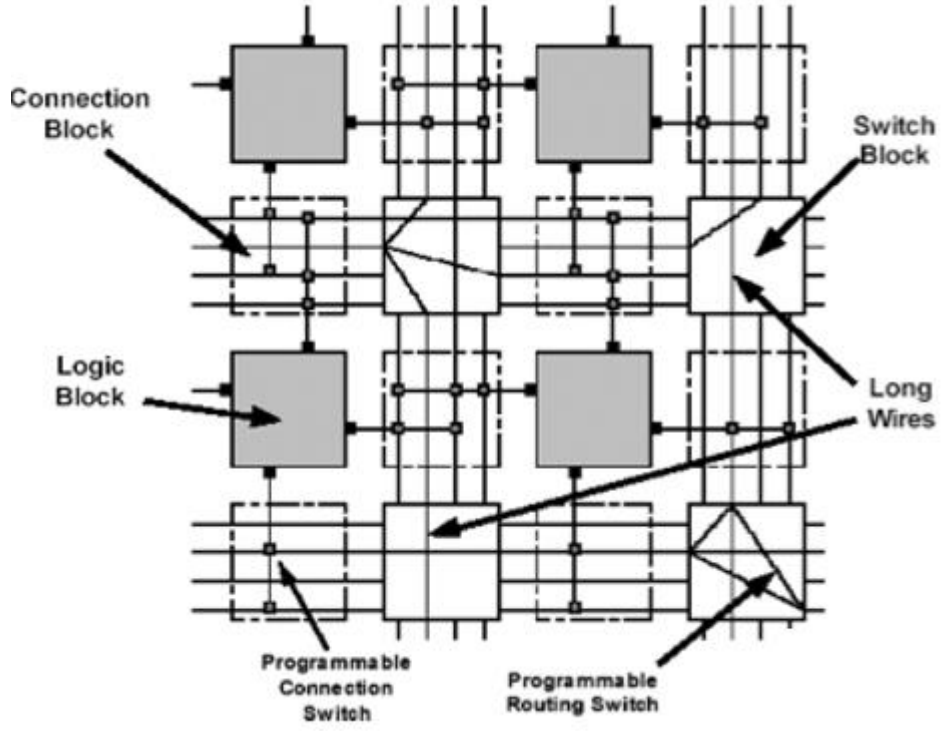
أجري هذا البحث في سياق بحث لطالبة دراسات عليا في كلية العلوم قسم الفيزياء ، إذ يعتمد البحث على استخدام الدارة FPGA وبرمجتها باستخدام VHDL؛ وذلك من أجل مقارنة عاملي التأخير الزمني واستهلاك الطاقة الناتجين عن إعادة ترتيب العناصر الإلكترونية للتصميم المبرمج؛ مما يحسن من نقل البيانات بين الوحدات الإلكترونية لشرائح FPGA التي تعبر مادة البحث ، جرى أخذ النتائج من برنامج QUARTIZ بسبب كون نتائج البرنامج قادرة على إظهار التغير الحاصل في ترتيب البلوكات والمسارات الفيزيائية؛ اما الخوارزمية المقترحة فتمت كتابة برنامجها باستخدام ملف TCL الذي يتحكم بـVPR package بالتالي قادر على التحكم بخوارزميات التموضع والتوجيه الخاصة بالمسارات والكتل المنطقية للتصميم الإلكتروني المبني على .FPGA

1. البنية الإلكترونية لشرائح FPGA

مصفوفات البوابات الرقمية القابلة للبرمجة FPGA وهي عبارة عن دارات متكاملة تتكون من مصفوفات من البوابات المنطقية، كل بوابة يمكن التحكم بتكوينها وتحويلها من نوع إلى آخر؛ مثلا من AND إلى NAND ومن NOR إلى NOT. يبين الشكل (1) الشكل العام لمنظومة FPGA.

شرائح الـ FPGA هي شرائح قابلة للبرمجة بشكلٍ صلب، أي أنه بإمكاننا برمجتها للحصول على أي تابع منطقي وذلك باستخدام لغة VHDL [3] بشكلٍ أساسي. من أهم مزايا الـ FPGA بالإضافة إلى كلفتها المنخفضة أنها تؤمن مرونة كبيرة في التصميم وقدرة على إعادة برمجتها .[1]

اما من الناحية التصميمية فتتكون FPGA من مجموعة من البلوكات والتي تؤدي مجموعة من الوظائف؛ منها نقل البيانات، ومنها التبديل لتوجيه البيانات ، ومنها بلوكات منطقية لإجراء العمليات المنطقية مثل العمليات الحسابية الشكل .(1)

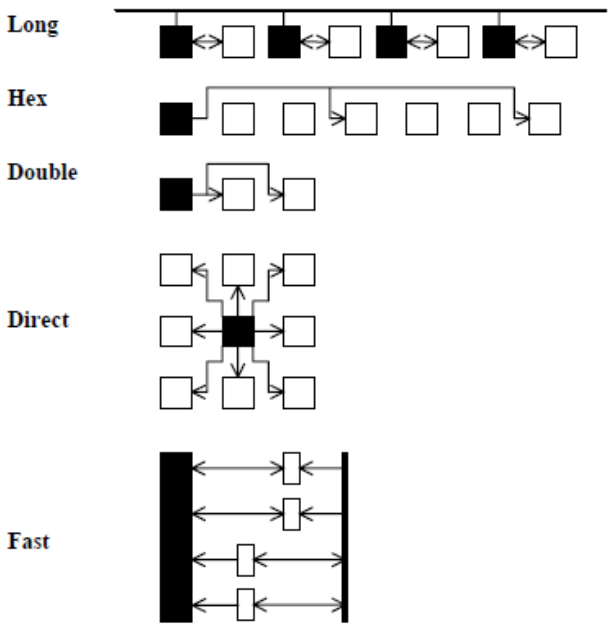


الشكل (1) البنية التصميمية لشرائح FPGA

2. المسارات الفيزيائية المستخدمة في ربط البلوكات في شرائح FPGA

إن بناء التصاميم الإلكترونية باستخدام الـ FPGA يعتمد على دمج الموارد غير المتجانسة وهي "أنواع مختلفة من البلوكات " مما يؤدي إلى وضع قيود إضافية على عملية توجيه المسارات. معظم خوارزميات تقدير الترابط في عملية توجيه المسارات تعاني من مشاكل في تحديد خصوصيات التموضع وتوجيه المسارات في شرائح FPGA [4]. حيث تمثل خوارزميات التموضع والتوجيه أساس التركيب الفيزيائي للتصميم المبرمج ويكون الهدف الأساسي منها هو التنبؤ والإصلاح لمشكلة تأخير التواصل بين الكتل وتقليل الطاقة والنشر الحراري [4] .

يبين الشكل (2) أنواع المسارات الفيزيائية الممكن استخدامها في بناء التصاميم الإلكترونية والتي تحقق الربط بين الوحدات المنطقية CLBS حيث (المربعات البيضاء تشير إلى CLBS والمربعات السوداء تشير إلى قواطع توجيه المسارات). تمتد الخطوط الطويلة Long على كامل مساحة الشريحة، الخطوط السداسية HEX توجه الإشارات إلى ست وحدات CLB وفي أربعة اتجاهات، توجه الخطوط المزدوجة Double الإشارات إلى الوحدتين المنطقيتين الأولى أو الثانية أو ممكن ان يتم التوجيه في الاتجاهات الأربعة، تنقل الخطوط المباشرة direct الإشارات بين الوحدات المتجاورة والخطوط السريعة هي روابط محلية لوحدات CLB. تتشابه كل من الخطوط HEX و Double و direct بالتأخير الزمني[4].



الشكل (2) المسارات الفيزيائية في شرائح FPGA

وبناء على ما سبق فهناك قيود في عملية التوجيه وربط العناصر تفرضها المسارات الفيزيائية؛ لذلك لابد من استخدام عملتين عند بناء التصاميم باستخدام شرائح FPGA؛ الأولى خوارزميات التموضع placement algorithms، والثانية خوارزميات التوجيه routing algorithms.

3. التوجيه في شرائح FPGA

إن هيكلية FPGA ومسارات التوجيه فيها مختلفة تماما عن تصاميم ASIC، حيث تكمن الاختلافات بينهما في وجود ما يسمى الشبكات الطويلة في FPGA التي تربط بين وحدات CLBS المتباعدة بدون تأخير زمني يذكر. على العكس من ذلك، فإن المسافة الفيزيائية والتأخير بين الوحدتين هو الحقيقة الكامنة في تصاميم ASIC، وبالتالي يجب أن تكون أدوات التصميم الفيزيائي في FPGA على إحاطة كاملة في التصميم الفيزيائي لمسارات النقل[2] نظراً لما تسببه المسارات الطويلة من مشاكل متعلقة باستخدام المزيد من بلوكات التوصيل.

إن هيكلية FPGA الحديثة تتضمن الموارد غير المتجانسة، حيث يتم توزيعها على أجزاء FPGA. وتعتمد العديد من تقنيات التموضع الحديثة على مبدأ التقسيم كأساس لها، في كل خطوة من خوارزميات التموضع يتم أيضاً تقسيمها إلى مناطق فرعية أصغر، ثم يتم تقسيم الدارة إلى دارات فرعية أصغر وتخصيصها للمناطق الفرعية[2].

لكل منطقة فرعية دارة فرعية أصغر جرى تعيينها بحيث تتوافق معها، تستمر عملية التقسيم هذه حتى تكون المناطق صغيرة بما فيه الكفاية، تقسيم الدارات إلى دارات فرعية يجب ان يحقق توازن الموارد المستخدمة في كل دائرة فرعية مع الموارد المتاحة في كل من المناطق الفرعية[5].

4. تموضع البلوكات في شرائح FPGA

تشكل عملية التموضع الحجر الأساس لأية تركيبة فيزيائية جيدة للنظام الإلكتروني، وهي مشكلة مدروسة على مستوى الخلية في تركيب FPGA، إن شرائح FPGA الحالية قد ابتعدت عن التصميمات الهندسية بسبب وجود شبكات

في هيكلية توجيه المسارات عبر الأسلاك ضمن الشريحة، وأصبحت الوحدات المنطقية متصلة ببعضها البعض، وبتأخير زمني مهمل تقريباً، مما يؤدي إلى عدم قدرة تقنيات التموضع التقليدية لـ ASIC على تحقيق التقليل في المسارات الفيزيائية؛ وبالتالي عدم الحصول على نتائج عالية الجودة لشرائح الـ FPGA. يجب أن تكون تقنيات التموضع المستخدمة في هذه الشرائح مرتبطة بتفاصيل التصميم، بالإضافة إلى تغيرات هيكلية التموضع السطحي، في تطبيقات ASIC، يتناسب طول السلك مع تأخيره الزمني، وهذا ليس هو الحال بالنسبة إلى تنفيذ التصاميم على FPGA [6].

تستخدم خوارزميات التموضع المولدات العشوائية والمعادلات لتحديد أماكن توضع العناصر الإلكترونية ضمن الشريحة؛ ولكن أماكن التموضع التي يتم اختيارها تكون غير مرتبطة بالتصميم إلا من ناحية تابع الكلفة الذي يفيد في تحديد أماكن العناصر، بحيث تحقق أقل كلفة ممكنة . جرى تجميع خوارزميات التموضع فيما يسمى VPR PACKAGE الذي يشكل نواة التموضع والتوجيه في تصاميم FPGA المبينة على QUARTUZ.

5. خوارزمية Simulated annealing "خوارزمية التعدين"

تحاكي الخوارزمية عملية التصنيع التي تستخدم في المعادن؛ حيث يتم تسخين المعدن لدرجة حرارة الذوبان، ثم يتم تبريد المعدن بظروف مدروسة من اجل ترتيب جزيئات المعدن بالشكل الأمثل .تقوم الخوارزمية بإعادة ترتيب العناصر الإلكترونية للوصل إلى افضل حالة ممكن من التوزيع الحراري «التجانس الحراري».

تقوم الخوارزمية بإعادة توزيع العناصر الإلكترونية انطلاقاً من الجزء الأكثر نشراً للحرارة .ثم يتم الانتقال للعناصر المجاورة ويحقق الانتقال الحاصل تابع توزيع احتمالي هو تابع الكلفة .تستخدم الخوارزمية المولدات العشوائية من اجل التموضع للعناصر الإلكترونية المشكلة للدارة[7] .

تابع التوزع الاحتمالي المستخدم مع الخوارزمية هو .Boltzman distribution يعطى بالعلاقة الآتية :

$$\frac{p_i}{p_j} = e^{(\varepsilon_j - \varepsilon_i)/kT}$$

حيث K ثابت Boltzman ، P_i احتمال تموضع البلوك i المدروس بالنسبة إلى الاحتمال الإجمالي للتموضع كامل البلوكات في موقع محدد j ،e الطاقة[8] [9] .

وفيما يأتي برمجة خوارزمية التوجيه المستخدمة في البرنامج

```
P=InitailPlacement();
T=InitialTemperature();

while(ExitCriterion()==False)
{While(InnerLoopCriterion()==False){
Pnew=PerturbPlacementViaMove(P);
deltaCost=Cost(Pnew)-Cost(P);
r=random(0,1);
if(r<exp(-deletaCost/T)
{
P=Pnew; /* Move Accepted*/
}
}
T=UpdateTemp(T);
}
```

4. الخوارزمية المقترحة

تم تصميم الخوارزمية المقترحة بحيث تحقق الربط بين التصميم وعدد البلوكات التي يحتاجها التصميم ، بحيث يكون للناتج المرتبط بالتصميم معادلة تتعلق بعدد العناصر المنطقية التي يحتاجها التصميم، ومن ثم تتم مقارنة الرقم الناتج مع حساب الكلفة .

$$Cost=c_1 area+c_2 delay+c_3 power+c_4 crosstalk$$

النقاط الأساسية في التعديل المقترح :

1. ربط الخوارزمية ببارامترات التصميم .
2. تقليل عشوائية الانتقال عن طريق تحديد قيمة محددة للمقارنة مع تابع الكلفة .
3. التركيز على عدم إيجاد عقد لمستويات متعددة ضمن البلوك الواحد .

وفيما يأتي كود الخوارزمية المقترحة :

```
P=InitailPlacement();
T=InitialTemperature();

while(ExitCriterion()==False)
{While(InnerLoopCriterion()==False){
Pnew=PerturbPlacementViaMove(P);
deltaCost=Cost(Pnew)-Cost(P);
r=usedReg+usedlogicblock/totalreg+totallogicblock
if(r<exp(-deletaCost/T)
{
P=Pnew; /* Move Accepted*/
}
}
T=UpdateTemp(T);
}
```

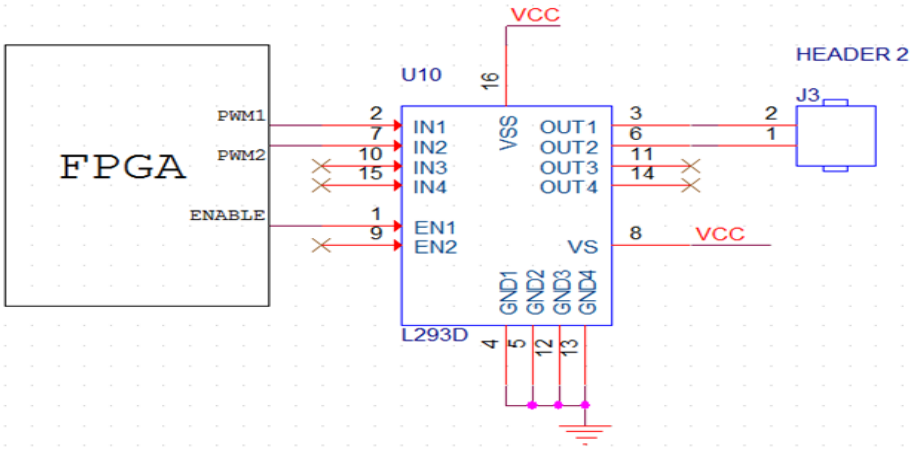
5. النتائج التجريبية

جرى اختبار الخوارزمية المقترحة عن طريق تطبيق قيود على عملية التموضع لعدد من نماذج الدارات الإلكترونية، وفيما يأتي تحليل الأنظمة التي جرى تصميمها، ومقارنة النتائج وتحليلها بعد تطبيق الخوارزمية المقترحة.

1.5 نظام قيادة محرك DC

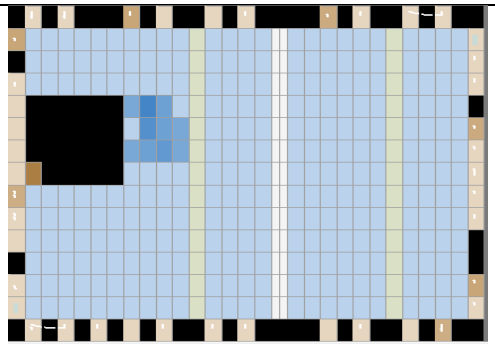
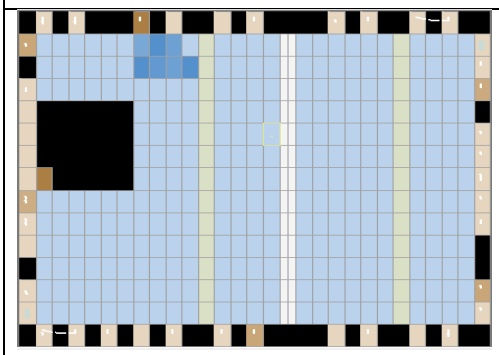
1.1.5 توصيف النظام:

يوضح الشكل (5) نظام تحكم باتجاه وسرعة دوران محرك DC ،تتحكم الدارة الإلكترونية بسرعة المحرك واتجاه دوران المحرك عبر التحكم بأقطاب دخل المتكاملة L293D التي تتكون من H-bridge، الغاية من الدارة المتكاملة l293d عدم استجرار تيارات كبيرة من الشريحة FPGA، أوامر التحكم تكون مقدمة من النموذج الفيزيائي المبني ضمن .FPGA



الشكل (5) نظام تحكم باتجاه وسرعة دوران محرك DC مصمم على FPGA

نتائج الدارة الإلكترونية قبل تطبيق الخوارزمية وبعد تطبيقها موضحة في الجدول (1) :

النظام	البلوكات المتشكلة ضمن FPGA باستخدام خوارزمية Simulated annealing القياسية	البلوكات المتشكلة ضمن FPGA بعد تطبيق الخوارزمية المقترحة
التحكم بسرعة واتجاه دوران محرك DC		

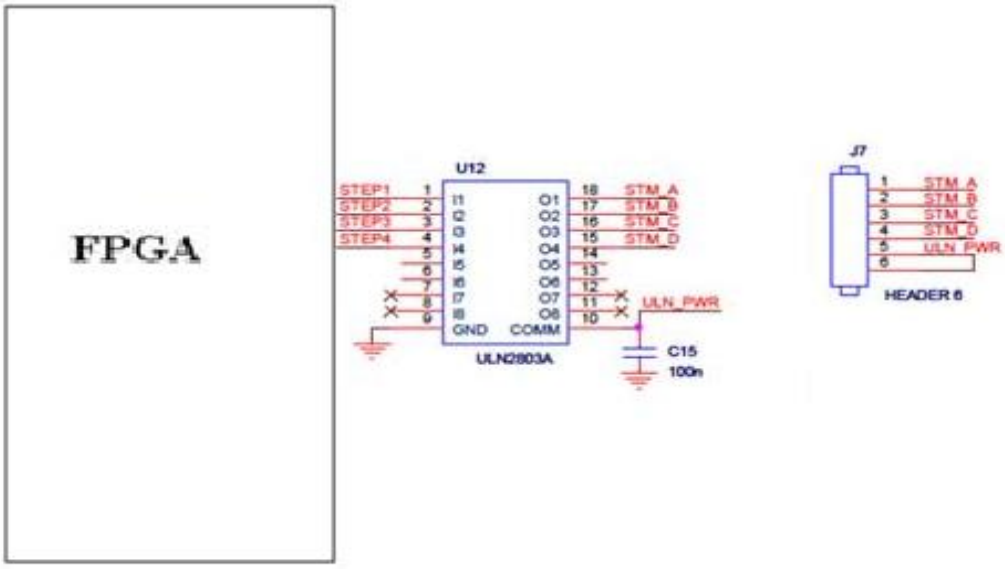
الجدول (1) نتائج دارة التحكم بسرعة واتجاه دوران محرك DC باستخدام FPGA

من الجدول (1) نلاحظ أن استخدام الخوارزمية الأساسية قد حجزت 10 بلوكات منطقية من الشريحة، بينما بعد استخدام الخوارزمية المقترحة استطعنا تقليل عدد البلوكات المنطقية الى 7 بلوكات منطقية، وهذا ناتج عن تغيير التعديلات التي أُجريت على تابع الكلفة، بحيث جرى تعديل احتمال تموضع البلوك؛ وذلك بالربط بين عدد المسجلات الإجمالية وعدد البلوكات الإجمالية، وعدد البلوكات والمسجلات المستخدمة.

2.5 نظام قيادة محركStepper

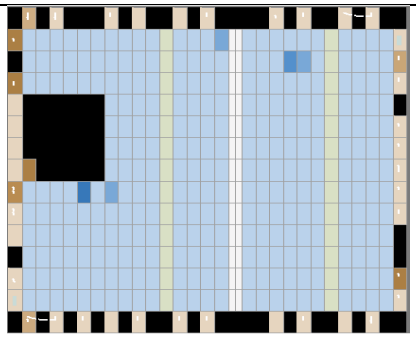
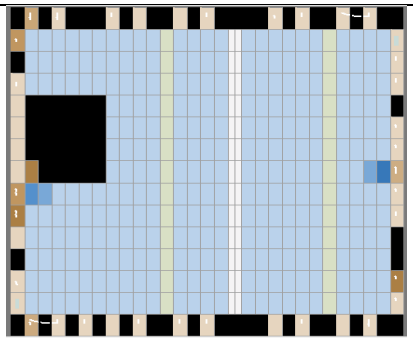
1.2.5 توصيف النظام:

يوضح الشكل (6) دارة التحكم بمحرك خطوي باستخدام FPGA حيث تتحكم الدارة الإلكترونية بخطوة المحرك واتجاه الدوران، الغاية من المتكاملة uln2803عدم استجرار تيارات كبيرة من FPGA. أوامر التحكم تكون مقدمة من النموذج الفيزيائي المبني ضمن FPGA .



الشكل (6) دارة التحكم بمحرك خطوي باستخدام FPGA

نتائج الدارة الإلكترونية قبل تطبيق الخوارزمية وبعد تطبيقها موضحة في الجدول (2):

النظام	البلوكات المتشكلة ضمن FPGA باستخدام خوارزمية Simulated annealing القياسية	البلوكات المتشكلة ضمن FPGA بعد تطبيق الخوارزمية
التحكم بخطوة واتجاه محرك خطوي		

الجدول (2) نتائج دارة التحكم بخطوة واتجاه دوران محرك خطوي باستخدام FPGA

من الجدول (2) نلاحظ أنه باستخدام الخوارزمية الأساسية تم حجز 5 بلوكات منطقية من الشريحة، بينما رأينا انه بعد استخدام الخوارزمية المقترحة استطعنا تقليل عدد البلوكات المنطقية الى 4 بلوكات منطقية، كما سبب تعديل التموضع ترتيب البلوكات بشكل متقارب مما حقق تقليلاً في المسارات الطويلة ضمن الشريحة.

6. النتائج:

من خلال النتائج والدراسات السابقة توصلنا إلى ما يأتي:

1- إن الخوارزمية المقترحة قد قللت عدد الـ blocks التي يتم حجزها فيزيائياً من قبل الأنظمة؛ حيث قللت عدد البلوكات المحجوزة بنسبة تصل إلى 30%، مما قلل من عدد المسارات الفيزيائية التي تربط بين البلوكات من جهة وقلل استهلاك الطاقة من جهة أخرى، كما قلل من الانتشار الحراري الناتج عن الشريحة.

2- قدم البحث خوارزمية معدلة من اجل إعادة تموضع العناصر ضمن شرائح FPGA تعتمد على الربط بين التصميم وتموضع العناصر، بالإضافة إلى الاعتماد على تابع الكلفة الاحتمالي المسؤول عن التموضع والتوجيه ضمن الشريحة .

3-

7.المقترحات والتوصيات

من خلال الطرح السابق جرى تقديم تحسين على خوارزمية تموضع قياسية هيSimulated annealing ، وهنا نورد بعد النقاط التي يمكن استخدامها في الأعمال المستقبلية؛ كاستخدام خوارزمية توجيه تعمل بشكل متوازٍ مع الخوارزمية المعدلة، مما يحسن من النتائج بشكل أفضل ؛ إضافة إلى إمكانية استخدام تقنيات الذكاء الصنعي في عملية التموضع .

المراجع:

[1] C. S. Chen, Y.-W. Tsay, T. HwangA. C. H. Wu and Y.-L. Lin, "Combining *Technology Mapping and Placement for Delay-Optimization in FPGA Designs*," ICCAD, , 2013.

[2] J. Cong and Y. Ding, "*An Optimal Technology Mapping Algorithm for Delay Optimization in Lookup-Table Based FPGA Designs*," ICCAD, pp. 48-53, 2015.

[3] E. Hwang و*Digital Logic and Microprocessor Design with VHDL*"

[4] Yuri Chaplygin ; Ivan Novozhilov ; Vladimir Losev ; Tatiana Krupkina ; *Igor Kuzminov Algorithm for Design and Structure Optimization of the FPGA Routing Block with a Given Number of Trace Signals IEEE 2019*

[5] T. Karnik and S. M. Kang, "*An Empirical Model For Accurate Estimation of Routing Delay in FPGAs*," ICCAD, pp. 328-331, 2015.

[6] D. Chen, J. Cong and P. Pan, "FPGA Design Automation: A Survey," *Foundations and Trends in Electronic Design Automation,* vol. 1, no. 3, pp. 195-330, Nov 2006.

[7] W. C. Naylor, R. Donelly, and L. Sha. *Non-Linear Optimization System and Method for Wire Length and Delay Optimization for an Automatic Electric Circuit Placer*. In US Patent 6301693, 2001.

[8] A. B. Kahng, S. Reda and Q. Wang, "*Architecture and Details of a High Quality, Large-Scale Analytical Placer*", In ICCAD 2005.

[9] Pei Liu ; Ning Xu ; *Feng Hui An Automatic Method for Testing of FPGA Routing Resource IEEE 2018*.