مجلة جامعة طرطوس للبحوث والدراسات العلمية _ سلسلة العلوم الهندسية المجلد (7) العدد(2) 2023
Tartous University Journal for Research and Scientific Studies - engineering Sciences Series Vol. (7) No. (2) 2023

ذاكرة SPM كبديل مثالي للذاكرة المخبأة (Cache) في النظم المضمنة

م. رزان عقباتي*

(تاريخ الإيداع 2022/11/17 . قُبِل للنشر في 2023/1/29)

□ ملخّص□

مع ازدياد أهمية استخدام النظم المضمنة في يومنا هذا، اتجهت البحوث العلمية إلى هذه النظم بشكل كبير، بحيث يسعى مصممو هذا النوع من النظم باستمرار حتى يومنا هذا إلى تحسين الأداء وتقليل استهلاك الطاقة.

وبما أن الذواكر تُعَد من أهم الأجزاء التي تستهلك طاقة في المعالجات الحديثة، كما أننا نهتم بها من ناحية سرعة النظام، بحيث أتاحت لنا هرمية الذاكرة اختصاراً كبيراً للزمن، بات الاستخدام الأمثل للذواكر في الأنظمة المضمنة مجالاً مهماً للبحث وللدراسة.

في هذا البحث ، نتناول مشكلة اختيار الذاكرة على الرقاقة للتطبيقات الحاسوبية المضمنة ، من خلال اقتراح ذاكرة SPM كبديل للذاكرة المخبأة. تم حساب المساحة والطاقة لذاكرة SPM والذاكرة المخبأة بأحجام مختلفة باستخدام أداة CACTI بينما تم تقييم الأداء باستخدام نتائج المحاكي. المعالج الذي تم اختياره للتقييم هو AT91M40400. وبينت النتائج بوضوح أن النظام الذي يستخدم ذاكرة SPM يستهلك طاقة منخفض في معظم المواقف بمتوسط بنسبة 40٪. علاوة على ذلك ، في حين كان متوسط تقليل معدل المساحة_الزمن 46٪ في ذاكرة SPM إذا تم مقارنتها في الذاكرة المخبأة.

الكلمات المفتاحية: الأنظمة المضمنة، الذاكرة المخبأة، SPM،AT91M40400, CACTI .

*مهندسة في كلية هندسة تكنولوجيا المعلومات والاتصالات في جامعة طرطوس، قسم النظم الحاسوبية والالكترونية _ جامعة طرطوس.

مجلة جامعة طرطوس للبحوث والدراسات العلمية _ سلسلة العلوم الهندسية المجلد (7) العدد(2) 2023
Tartous University Journal for Research and Scientific Studies - engineering Sciences Series Vol. (7) No. (2) 2023

SPM memory as an ideal replacement for the cache memory in embedded systems

Eng. Razan Akabati*

(Received 17/11/2022 . Accepted 29/1/2023)

□ ABSTRACT

With the increasing importance of the use of embedded systems , scientific research has turned to these systems significantly, so that designers of this type of system continuously to improve performance and reduce energy.

And since memory is one of the most important parts that consume energy in modern processors, and we also care about it in terms of system speed, so that the memory hierarchy has given us a great abbreviation of time, the optimal use of memory in the embedded systems has become an important area for research and study.

In this paper we address the problem of on-chip memory selection for computationally intensive applications, by proposing scratch pad memory as an alternative to cache.

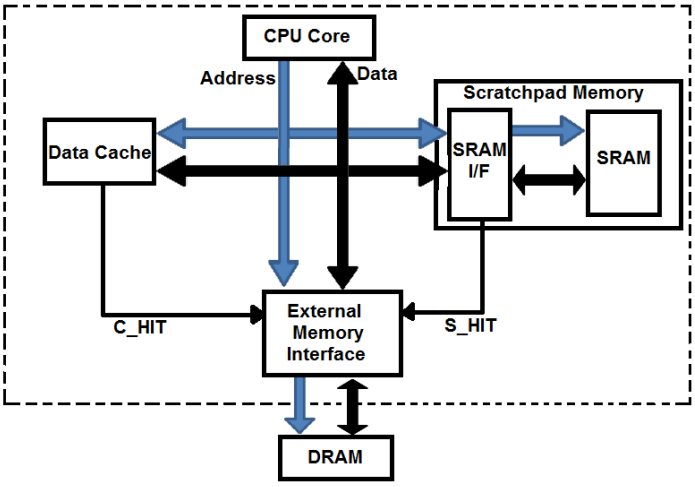
Area and energy for different scratch pad and cache sizes are computed using the CACTI tool while performance was evaluated using the trace results of the simulator. The target processor chosen for evaluation was AT91M40400. The results clearly establish scratchpad memory as a low power alternative in most situations with on average energy reduction of 40%. Further the average area-time reduction for the scratchpad memory was 46% of the cache memory.

Keywords: Embedded systems, SPM memory , CACTI ,AT91M40400.

*Engineer in the Department of Computer and Electronic Systems Engineering _ Faculty of Information and Communications Technology Engineering_ Tartous University_ Syria.

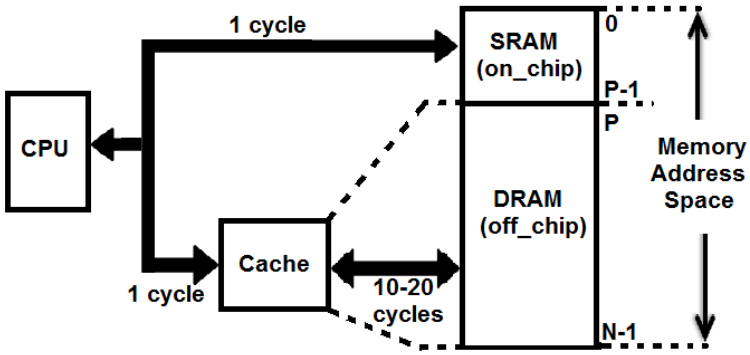
1- المقدمة

يبين الشكل (1) المخطط الصندوقي لبنية معالج أساسي مضمن نموذجي (على سبيل المثال ، معالج LSI Logic CW33000 RISC [3])، حيث أن الأجزاء الموجودة في المستطيل المنقط تكون مدمجة على شريحة واحدة، وتتفاعل مع ذاكرة خارجية (أي ذاكرة تقع خارج الشريحة)، وعادة ما يتم تصميم الذاكرة الخارجية باستخدام دارات DRAM. تصل خطوط العناوين والبيانات وحدة المعالجة المركزية بالذاكرة المخبأة وذاكرة Scratch-Pad و منافذ الذاكرة الخارجية EMI (External Memory Interface). عند الحاجة إلى الولوج من وحدة المعالجة المركزية (CPU)إلى الذاكرة، إذا كانت البيانات متواجدة داخل الذاكرة المخبأة تكون العملية عملية Cache hit وترسل إشارة C_HIT إلى كتلة EMI (وجود البيانات ضمن الذاكرة المخبأة). وبالمثل، إذا كانت البيانات المطلوبة من خلال عنوان الذاكرة المشار إليه يعيّن في ذاكرةScratch-Pad ، فإنه يتم التحكم في ناقل البيانات ويشير في هذه الحالة من خلال الإشارةS_HIT إلى EMI (وجود البيانات ضمن ذاكرة SPM). في حالة عدم وجود البيانات في الذاكرة المخبأة وذاكرة SPM_SRAM ، يقوم EMI بنقل كتلة من البيانات بالحجم المناسب (يساوي حجم خط البيانات للذاكرة المخبأة) بين الذاكرة الخارجية DRAM والذاكرة المخبأة.



الشكل (1) المخطط الصندوقي لبنية معالج أساسي مضمن نموذجي [3]

يظهر الشكل (2) مخطط فضاء عناوين البيانات، حيث تشغل ذاكرة SPM عناوين الذاكرة من 0 إلى P-1 ، وتحتاج إلى دورة ساعة واحدة للوصول إلى المعالج. وهكذا ، في الشكل (1) ، سيتم تفعيل إشارة S_HIT عندما يحاول المعالج الوصول إلى أي عنوان ضمن المجال 0 ..P-1. بينما عناوين الذاكرة منP إلى N-1 يتم تخصيصها للذاكرة خارج الشريحة (DRAM) ، ويتم الوصول من وحدة المعالجة المركزية إلى هذه الذاكرة الخارجية م من خلال الذاكرة المخبأة للبيانات. وتحتاج الذاكرة المخبأة للوصول إلى العنوان ضمن المجال P ... N- I تأخير دورة واحدة ، أما في حين يؤدي الفقد في الذاكرة المخبأة(أي عدم وجود البيانات في الذاكرة المخبأة) ، والتي تؤدي إلى نقل كتلة بين الذاكرة الخارجية والذاكرة المخبأة ، إلى تأخير 10 -20 دورة .



الشكل (2) فضاء عناوين البيانات الشكل [4]

2- أهمية البحث:

تأتي أهمية بحثنا من أن الأجهزة المحمولة تتميز بأنها خفيفة الوزن و تستهلك طاقة منخفضة .تتطلب التطبيقات في مجال الوسائط المتعددة ومعالجة الفيديو ومعالجة الصوت وتطبيقات DSPوالاتصالات اللاسلكية تصميماً فعالاً للذاكرة حيث تحتل الذاكرة أكثر من 50٪ من إجمالي مساحة الرقاقة [1] .مما سيؤدي عادةً إلى تقليل استهلاك الطاقة في وحدة الذاكرة ، لأن مساحة أقل تشير إلى انخفاض في إجمالي السعة المبدلة .تستهلك الذاكرة المخبأة على الرقاقات باستخدام دارات SRAM الطاقة حوالي من 5% إلى 25% من إجمالي طاقة الرقاقة [2].في الآونة الأخيرة ، تركز الاهتمام على وجود ذاكرة SPM لتقليل الطاقة وتحسين الأداء . حيث أن ذاكر Scratch Pad هي عبارة عن ذاكرة بيانات صغيرة عالية السرعة يتم تعيين عناوينها إلى مساحة عنوان منفصل عن عناوين الذاكرة الموجودة خارج الشريحة، ولكن متصلة بنفس خطوط العناوين و البيانات.فيمكن لذاكرة SPM أن تحل محل الذاكرة المخبأة فقط إذا كانت مدعومة من قبل مترجم فعال .تحتوي المعالجات المضمنة الحالية ولا سيما في مجال تطبيقات الوسائط المتعددة وأجهزة التحكم الرسومية على ذاكرات SPM على الشريحة .في الأنظمة التي تحوي ذاكرة مخبأة ، يتم إجراء تخطيط لعناصر البرنامج أثناء وقت التشغيل ، بينما يتم ذلك في الأنظمة التي تحوي ذاكرة SPM من قبل المستخدم أو تلقائياً بواسطة المترجم باستخدام خوارزمية مناسبة.

على الرغم من إجراء دراسات مسبقة حول سلوك ذاكرة SPM للأنظمة المضمنة ، إلا أنه لم تتم معالجة التأثير على المساحة. يقارن هذا البحث بين نماذج المساحة للذاكرة المخبأة/ وذاكرة SPM مع نماذج الطاقة الخاصة بهما. على وجه التحديد نعالج القضايا التالية:

1. نقوم بإنشاء نماذج للمساحة للذاكرة المخبأة وذاكرة SPM لدعم المقارنة بين أنظمة الذاكرة . ثم يتم حساب الطاقة المستهلكة لكل وصول للذاكرتين ولأحجام مختلفة من الذاكرتين السابقتين.
2. نقوم بتطوير إطار عمل منهجي لتقييم الأداء والمساحة للأنظمة القائمة على الذاكرتين. تتطلب البيئة التجريبية استخدام خوارزمية التعبئة (وهي دعم مترجم) لتعيين العناصر في ذاكرة SPM .
3. أخيراً ،نصل إلى النتائج بتحديد الأداء واستهلاك الطاقة لمختلف أحجام ذاكرة المخبأة و SPM للتطبيقات المختلفة. نقوم بتضمين استهلاك طاقة الذاكرة الرئيسية لدراسة متطلبات طاقة النظام بالكامل. فيتم تنظيم البحث على الشكل التالي:

في القسم 3 نشرح مساحة ذاكرة SPM والطاقة المستهلكة.

في القسم 4 نحدد الذاكرة المخبأة المستخدمة في بحثنا.

يشرح القسم 5 المنهجية والإعداد التجريبي ويحتوي القسم 6 على النتائج. في القسم 7 نحدد أيضاً العمل المستقبلي.

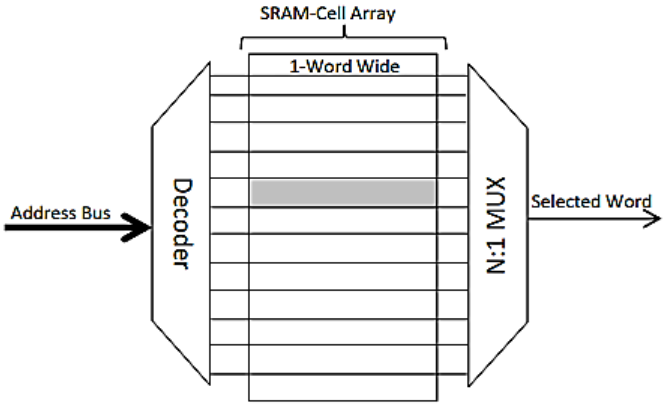
3- ذاكرة SPM

تُعرف ذاكرة SPM (Scratchpad memory) بأنها الذاكرة الداخلية العالية السرعة صغيرة الحجم التي تخزن بيانات صغيرة الحجم والتي ليس من الضروري أن يتواجد نسخة منها في الذاكرة الرئيسية. تمتاز بسرعة الوصول إليها نتيجة قربها من وحدة المعالجة المركزية فإن تأخير الوصول إليها لايذكر بالمقارنة مع الذاكرة الرئيسية.

يظهر الشكل (3) بنية ذاكرة SPM [5] بحيث نلاحظ أنها عبارة عن دارة رقمية بسيطة، ولا يتطلب الوصول إلى كلمة الذاكرة سوى مفكك تشفير Decoder وناخب Multiplexer.

يسمى الوصول إلى الذاكرة واختيار كلمة معينة بالفهرسة indexing. أثناء الوصول، يتم تحديد خلايا SRAM المستهدفة ثم قراءتها أو كتابتها.

نفترض أن ذاكرة SPM تحتل جزءاً واحداً متميزاً من مساحة عناوين الذاكرة مع باقي المساحة التي تشغلها الذاكرة الرئيسية .وبالتالي ، ليست هناك حاجة للتحقق من توافر البيانات / التعليمات في SPM. وهذا يقلل من عمليات المقارنة وتلقى إشارة miss/hit.

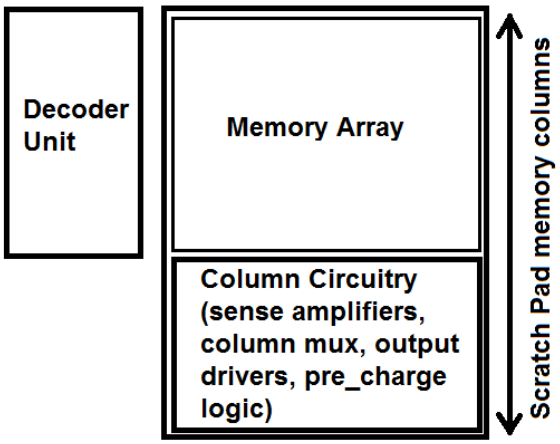


الشكل 3 بنية ذاكرة SPM

من التنظيم المبين في الشكل 4 ، تكون مساحة SPM هي مجموع المساحة التي يشغلها دارة فك الترميز ومصفوفة البيانات ودارة العمود .تكون مساحة SPM:

$$A_S = A_{sde} + A_{sda} + A_{sco} + A_{spr} + A_{sse} + A_{sou} \qquad (1)$$

حيث أن $A_{sde}, A_{sda}, A_{sco}, A_{spr}, A_{sse}, A_{sou}$ هي مساحة بيانات دارة فك الترميز ومساحة بيانات المصفوفة وناخب العمود ومنطق ما قبل الشحن (Pre_charge logic) والمضخمات الحساس (sense amplifiers) ووحدات قيادة الخرج على التوالي.



الشكل 4 تنظيم ذاكرة SPM

يمكن تقدير استهلاك طاقة ذاكرة SPM من استهلاك الطاقة لمكوناته ، مثل: إذا كان استهلاك الطاقة في دارة فك الترميز هي $E_{decoder}$ وفي دارة العمود هي E_{memcol} عندئذ:

$$E_{scratchpad} = E_{decoder} + E_{memcol} \qquad (2)$$

لكن الطاقة المستهلكة في مصفوفة الذاكرة تتكون من الطاقة المستهلكة في مضخمات الحساس (sense amplifiers)، ونواخب العمود ، ودارات قيادة الخرج ، وخلايا الذاكرة بسبب خط الكلمة ، ، ودارة خط بت .ولكن يرجع استهلاك الطاقة الرئيسي إلى وحدة مصفوفة الذاكرة .يتمثل الإجراء المتبع في أداة CACTI لتقدير استهلاك الطاقة في حساب السعة لكل وحدة .ثم يتم تقدير الطاقة .على سبيل المثال ، نقوم فقط بوصف حساب الطاقة لمصفوفة الذاكرة . ويتم إجراء تحليل مماثل لدارة مفكك الترميز أيضاً ، مع مراعاة مختلف أنشطة التبديل عند مدخلات كل مرحلة.

باعتبار الطاقة المبددة E_{memcol}. تتكون من الطاقة المبددة في خلية الذاكرة.وبالتالي

$$E_{memcol} = C_{memcol} * V_{dd}^2 * P_{0->1} \qquad (3)$$

C_{memcol} في العلاقة (3) هي سعة وحدة مصفوفة الذاكرة. $P_{0->1}$ تأخذ القيمة 0.5 وهي احتمالية تبديل البت(bit toggle).

$$C_{memcol} = ncols * \left(C_{pre} + C_{readwrite}\right) \qquad (4)$$

C_{memcol} يتم حسابه من العلاقة 4.وهو مجموع السعات الناتجة عن الشحن الابتدائي والوصول للقراءة من ذاكرة SPM.

C_{pre}هو سعة التحميل الفعالة لخطوط البتات أثناء الشحن المسبق و $C_{readwrite}$ هو السعة الفعالة لتحميل القراءة / الكتابة للخلية ، و $ncols$ هو عدد الأعمدة في الذاكرة.

في التحضير للولوج إلى الذاكرة ، يتم شحن خطوط البتات مسبقاً وتفعيل عملية القراءة / الكتابة ، وبالتالي يتم تبديد الطاقة في خطوط البت بسبب الشحن المسبق والوصول للقراءة / الكتابة .عند الوصول إلى ذاكرة SPM ، يقوم مفكك ترميز العنوان أولاً بفك ترميز بتات العناوين للعثور على الصف المطلوب .يؤدي الانتقال في بتات العنوان إلى شحن وتفريغ السعة في خط وحدة فك الترميز .هذا يجلب تبدد الطاقة في خط وحدة فك الترميز .يؤدي الانتقال في المرحلة الأخيرة ، التي هي مرحلة قيادة خط الكلمة إلى التبديل في خط الكلمة .

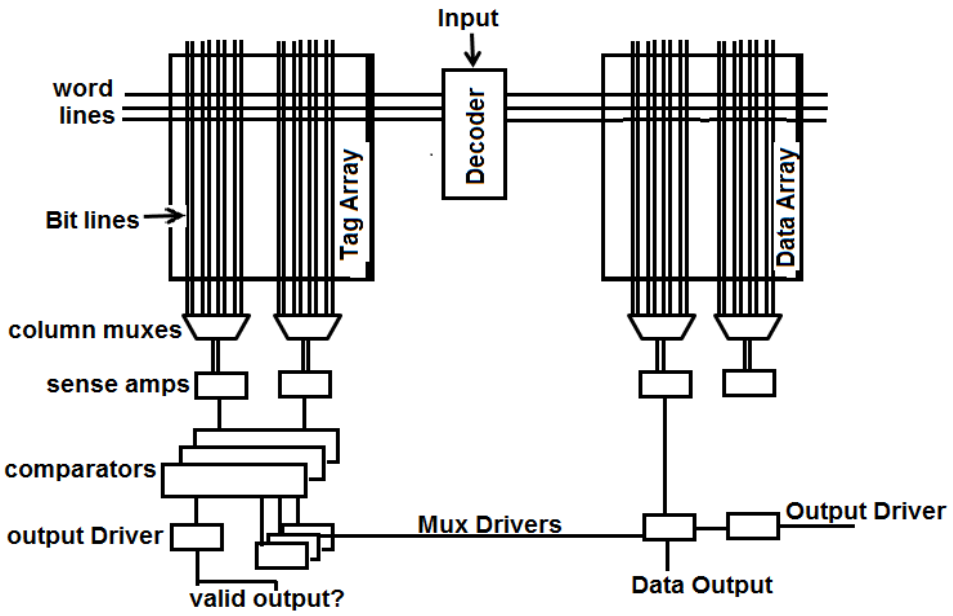
تستمد المعادلات على أساس [6].

$$E_{sptotal} = SP_{access} * E_{scratchpad} \qquad (5)$$

حيث $E_{sptotal}$ هو إجمالي الطاقة المستهلكة في ذاكرة SPM. . SP_{access} هو عدد مرات الدخول إلى ذاكرة SPM.
$E_{scratchpad}$هي الطاقة لكل الوصول التي تم الحصول عليها من نموذج SPM التحليلي.

4- الذاكرة المخبأة

يتم استخدام الذاكرة المخبأة بشكل رئيسي لاستغلال التوضع الزمني والمكاني للوصول إلى الذاكرة .حيث عند استخدام الذاكرة المخبأة في معالج الأغراض العامة، يحتوي نظام التشغيل على جميع التعليمات المسؤولة عن النظام ويتم جلب المعطيات من الذاكرة الرئيسية (إذا لم تكن موجودة في الذاكرة المخبأة) بعد وضع نسخة منها في الذاكرة المخبأة. يتم أخذ التنظيم الأساسي للذاكرة المخبأة من [7] ويظهر في الشكل (5).



الشكل (5) تنظيم الذاكرة المخبأة

يعتمد نموذج المساحة الذي نستخدمه في عملنا على عدد الترانزستور في الدارة. أعداد الترانزستورات تكون محسوبة مسبقاً عند تصميم الدارات.

من التنظيم المبين في الشكل 5 ، تكون مساحة الذاكرة المخبأة (A_C)هي مجموع المساحة التي تشغلها مصفوفة العلامات (A_{tag}) ومصفوفة البيانات(A_{data}) .

$$A_C = A_{tag} + A_{data} \qquad (6)$$

A_{tag}, A_{data} يتم حسابهما باستخدام مساحة مكوناتهما.

$$A_{tag} = A_{dt} + A_{ta} + A_{co} + A_{pr} + A_{se} + A_{com} + A_{mu} \qquad (7)$$

حيث أن $A_{dt}, A_{ta}, A_{co}, A_{pr}, A_{se}, A_{com}, A_{mu}$ هي مساحة وحدة فك الترميز للعلامة ومصفوفة العلامة وناخب العمود والشحن المسبق ومضخمات الحساس ومقارن العلامة ووحدات قيادة النواخب على التوالي.

$$A_{data} = A_{da} + A_{data} + A_{col} + A_{pre} + A_{sen} + A_{out} \qquad (8)$$

حيث أن $A_{da}, A_{data}, A_{col}, A_{pre}, A_{sen}, A_{out}$هي مساحة وحدة فك ترميز البيانات ، مصفوفة البيانات ، ناخب الأعمدة ، الشحن المسبق ، مضخم حساس البيانات ووحدات قيادة الخرج على التوالي.

يمكن أن يتم تقدير الاستطاعة على مستويات مختلفة ، من مستوى الترانزستور إلى المستوى البنية [8].في CACTI، يتم تقدير الطاقة على مستوى الترانزستور .استهلاك الطاقة لكل وصول في الذاكرة المخبأة هو مجموع

استهلاك الطاقة لجميع المكونات المحددة أعلاه حيث ستوضح بشكل مفصل في الفقرة 2-5 .يشبه التحليل تلك الموضحة في ذاكرة SPM .

5- طريقة العمل

يعتمد تقدير دورة الساعة على تتبع خرج المحاكي ARMulator للذاكرة المخبأة أو ذاكرة SPM. من المفترض أن الأداء يتأثر بذلك بشكل مباشر، أي أنه كلما زاد عدد دورات الساعة كلما انخفض الأداء. هذا على افتراض أن التغيير في تكوين الذاكرة على الشريحة (الذاكرة المخبأة أو ذاكرة SPM وحجمها) لا يغير دور الساعة. هذا الافتراض لا يؤثر على نتائج التدفق. وذلك لأننا دائماً نقارن نفس حجم للذاكرة المخبأة بذاكرة SPM وسيظل تأخير الذاكرة المخبأة المطبقة بنفس التقنية أعلى دائماً. وبالتالي لا يمكن زيادة تحسين الأداء المتوقع لذاكرة spm إلا إذا كان كلاهما يؤثر على دور الساعة. استند تحديد وتخصيص البيانات الهامة إلى ذاكرة spm على خوارزمية تعبئة موصوفة بإيجاز في الفقرة 5-3.

5-1 الولوج إلى ذاكرة SPM

بما أن فضاء العناوين الخاص بذاكرة SPM يشغل جزءاً من المساحة الإجمالية لعنوان الذاكرة التي تم الحصول عليها بواسطة محلل التتبع الخاص بالمحاكي ARMulator، يتم تصنيف الوصول على أنه انتقال إلى SPM أو الذاكرة الرئيسية بعد إضافة تأخير مناسب إلى التأخير الكلي للبرنامج. بحيث نحتاج إلى دورة ساعة واحدة لكل عملية قراءة أو كتابة في ذاكرة SPM . أما في حال كان الوصول إلى الذاكرة الرئيسية 16 بت ، فسنحتاج إلى دورة واحدة بالإضافة إلى حالة انتظار واحدة (كما هو موضح في الجدول 1)، وإذا كان الوصول إلى الذاكرة الرئيسية 32 بت، فسنحتاج إلى دورة واحدة بالإضافة إلى 3 حالات انتظار. يتم تحديد الأداء باستخدام الزمن الكلي لعدد دورات الساعة. واستهلاك طاقة في ذاكرة SPM هو عدد مرات الدخول مضروباً في الطاقة لكل وصول كما هو موصوف في المعادلة (5).

2.5 الولوج إلى الذاكرة المخبأة

هناك أربع حالات نأخذها بعين الاعتبار في النموذج الخاص بنا عند دراسة الولوج إلى الذاكرة المخبأة وهي :

- القراءة من الذاكرة المخبأة (Read hit): عندما تطلب وحدة المعالجة المركزية بعض البيانات، إذا كانت البيانات المطلوبة موجودة في الذاكرة المخبأة، يتم قراءة البيانات من الذاكرة المخبأة، وفي هذه الحالة لا تتم أي عملية كتابة في الذاكرة المخبأة، ولا يتم الولوج إلى الذاكرة الرئيسية للقراءة أو الكتابة.
- عدم القراءة من الذاكرة المخبأة (Read miss): عندما تكون البيانات المطلوبة من وحدة المعالجة المركزية غير موجودة ضمن الذاكرة المخبأة، يتم جلب البيانات من الذاكرة الرئيسية إلى الذاكرة المخبأة. في هذه الحالة لدينا عملية قراءة للذاكرة المخبأة ، متبوعة بعملية كتابة L كلمة في الذاكرة المخبأة ، حيث L هو حجم الخط .ومن ثم سيكون هناك حدث لقراءة الذاكرة الرئيسية بحجم L بدون كتابة في الذاكرة الرئيسية.
- الكتابة في الذاكرة المخبأة (write hit): إذا كان هناك عملية للكتابة في الذاكرة المخبأة ، في هذه الحالة لدينا كتابة في الذاكرة المخبأة ، متبوعة بكتابة الذاكرة الرئيسية (تحديث البيانات في كلا الذاكرتين).
- عدم الكتابة في الذاكرة المخبأة (write miss): تتم الكتابة في الذاكرة الرئيسية . وفي هذه الحالة لا يوجد تحديث للذاكرة المخبأة.

من الناتج عن برنامج المحاكي ARMulator يمكننا الحصول على عدد مرات كل من الحالات الأربع السابقة.

ومن هذه البيانات نقوم بحساب عدد عمليات الوصول إلى الذاكرة المخبأة بالاعتماد على الجدول(2) ، حيث عدد الدورات المطلوبة لكل نوع من الوصول موجودة ضمن القائمة في الجدول (1) .

Access	Number of Cycles
Caches	Using Table 2
Scratch Pad	1 cycle
Main Memory 16 bit	1 cycle + 1 wait state
Main Memory 32 bit	1 cycle + 3 wait states

الجدول (1) دورات الولوج إلى الذاكرة

Access type	Ca_{read}	Ca_{write}	Mm_{read}	Mm_{write}
Read hit	1	0	0	0
Read miss	1	L	L	0
Write hit	0	1	0	1
Write miss	1	0	0	1

الجدول (2) عدد عمليات الوصول إلى الذاكرة المخبأة

وبناء على ذلك يمكننا حساب طاقة الذاكرة المخبأة باستخدام المعادلة التالية:

$$E_{cache} = (N_{c-read} + N_{c-write}) * E \qquad (9)$$

حيث E_{cache}هي الطاقة المستهلكة في الذاكرة المخبأة N_{c-read}هو عدد مرات الوصول إلى الذاكرة المخبأة للقراءة و $N_{c-write}$ هو عدد مرات الوصول الذاكرة المخبأة الكاش للكتابة .يتم حساب الطاقة E في المعادلة (3) ، مع أخذ التحميل المناسب وعدد الدورات بعين الاعتبار .

3-5 الإعداد التجريبي ومخطط التدفق

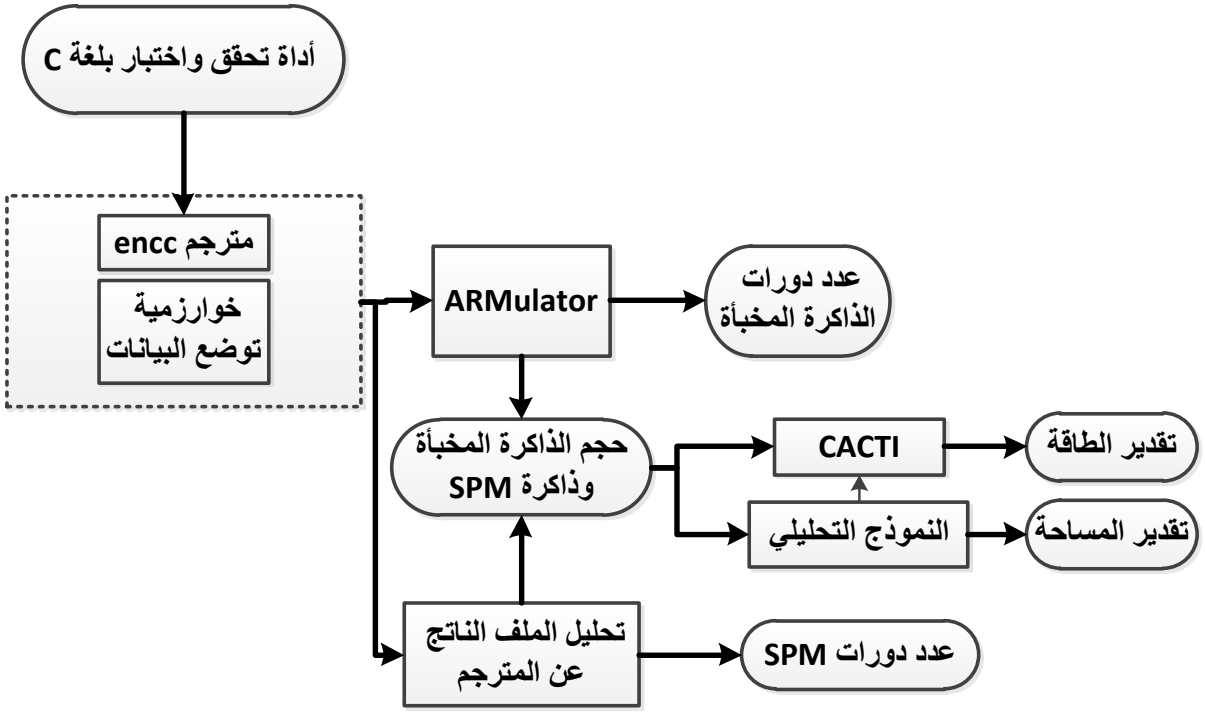
في هذا القسم نشرح الإعداد التجريبي ومخطط التدفق المستخدم في بحثنا لمقارنة ذاكرة SPM على الرقاقة مع الذاكرة المخبأة. وسنستخدم AT91M 40400 كبنية. AT91M 40400 هو متحكم من عائلة ATMEL AT91 16/32 bit يعتمد على معالج ARM7TDMI المضمن. هذا المعالج عبارة عن معالج RISC عالي الأداء مع استهلاك منخفض جداً للطاقة. يحتوي على ذاكرة SPM على الرقاقة تبلغ 4 كيلوبايت. يأتي ARM7TDMI مع خط بيانات 32 بت ومجموعتان من التعليمات.

الشكل (6) يظهر مخطط التدفق. يقوم المترجم (encc)[9] بتوليد كود برمجي لنواة ARM7. إنه مترجم بحث يستخدم لاستكشاف التصميم وتقنيات التحسين الجديدة. المدخلات إلى هذا المترجم عبارة عن مقياس مرجعي benchmark للتطبيق مكتوب بلغة C. ثم فيما بعد يستخدم encc خوارزمية التقاط خاصة ، تُعرف باسم خوارزمية knap–sack [10] وتستخدم هذه الخوارزمية لتعيين كتل التعليمات البرمجية والبيانات إلى ذاكرة SPM. تحدد هذه الخوارزمية البيانات وكتل التعليمات والمسارات المتكررة إلى فضاء العناوين الخاص بذاكرة SPM. يتم احتساب تكلفة القفزات الإضافية الناتجة عن تعيين كتل لاحقة إلى ذاكرة SPM والذاكرة الرئيسية بواسطة الخوارزمية. والنتيجة هي أن

العناصر من التعليمات والبيانات التي يتم الوصول إليها بشكل متكرر ، والتي من المحتمل أن توفر أقصى قدر من الطاقة ، يتم تعيينها إلى ذاكرة SPM.

أما خرج المترجم هو كودARM ثنائي (أصفار وواحدات) الذي يمكن محاكاته بواسطة ARMulator لإنتاج ملف تتبع.

لتكوين الذاكرة المخبأة على الشريحة ، يستخدم ARMulator حجم الذاكرة المخبأة كمعامل ويولد الأداء حسب عدد الدورات. تعتمد المساحة والطاقة المتوقعة على نموذج CACTI من أجل تقنية 0.5 ميكرو متر. وقدتم شرح النماذج مسبقاً في القسمين 2 و 3.



الشكل (6) مخطط التدفق

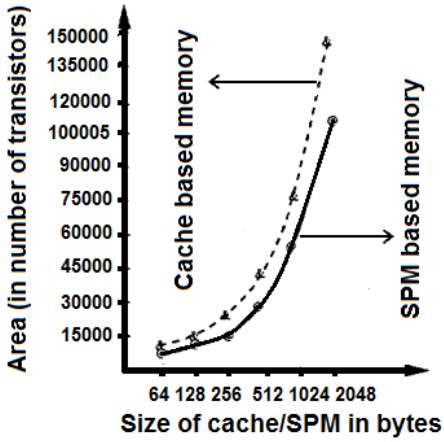
6- النتائج التجريبية:

لإثبات مزايا استخدام ذاكرة SPM على الرقاقة والذاكرة المخبأة على الرقاقة ، أجرينا سلسلة من التجارب لكل من هذه التشكيلات. تم إجراء تحليل تتبعي لذاكرة SPM والذاكرة المخبأة في تدفق التصميم بعد مرحلة التجميع. نستخدم ذاكرة مخبأة (2-way set associative) للمقارنة.

6-1 المساحة (Area):

ترتبط المساحة بعدد الترانزستورات. يتم الحصول عليها لكلا الذاكرتين باستخدام [9].

يوضح الشكل (7) مقارنة مساحة الذاكرة المخبأة وذاكرة SPM بأحجام مختلفة.



الشكل (7) مقارنة مساحة الذاكرة المخبأة وذاكرة SPM بأحجام مختلفة

يعطي الجدول (3) مقارنة المساحة / الأداء area/performance tradeoff. العمود 1 هو حجم الذاكرة المخبأة أوذاكرة SPM بالبايت. العمودان 2 و 3 هما مساحة الذاكرة المخبأة وذاكرة SPM مقاسة بالترانزستور. العمودان 4 و 5 هما عدد دورات وحدة المعالجة المركزية في 1000 ثانية للأنظمة التي تعتمد على الذاكرة المخبأة وذاكرة SPM ، على التوالي. يعطي العمود 6 تخفيض المساحة بسبب استبدال الذاكرة المخبأة بذاكرة SPM بينما العمود 7 يعرض تقليل عدد الدورات الموافق. يعطي العمود 8 بارامتر المساحة_الزمن AT (area time product) (بافتراض أوقات دورات ثابتة). يتم حساب المساحة_ الزمن AT باستخدام المعادلة التالية:

$$AT = (A_s * N_s)/(A_c * N_c) \qquad (10)$$

حيث أن N_c هو عدد دورات وحدة المعالجة للأنظمة التي تعتمد على الذاكرة المخبأة،N_s هو عدد دورات وحدة المعالجة للأنظمة التي تعتمد على ذاكرة SPM، A_c مساحة الذاكرة المخبأة، A_S مساحة ذاكرة SPM

نلاحظ أن متوسط المساحة والزمن انخفضت بمقدار 34% و 18% على التوالي وأن متوسط البارامتر AT هو 54% أي نسبة انخفاض هي 46%. يعتمد عدد الدورات المستخدمة في تقييم الأداء إلى ذاكرة الوصول العشوائي الثابتة الموجودة في لوحة تقييم ATMEL.

الحجم بالبايت	مساحة الذاكرة المخبأة A_c	مساحة ذاكرة SPM A_s	عدد دورات وحدة المعالجة للأنظمة التي تعتمد على الذاكرة المخبأة N_c	عدد دورات وحدة المعالجة للأنظمة التي تعتمد على ذاكرة SPM N_s	نسبة انخفاض المساحة	نسبة انخفاض الزمن	بارامتر AT
64	6744	4032	481.9	347.5	0.40	0.28	0.44
128	11238	7104	302.4	239.9	0.37	0.21	0.51
256	21586	14306	264.0	237.9	0.34	0.10	0.55
512	38630	26722	242.6	237.9	0.31	0.10	0.61
1024	74680	53444	241.7	192.0	0.28	0.21	0.55
2048	142224	102852	241.5	192.0	0.28	0.20	0.57
المتوسط					0.33	0.18	0.54

الجدول (3) نسب الأداء والمساحة

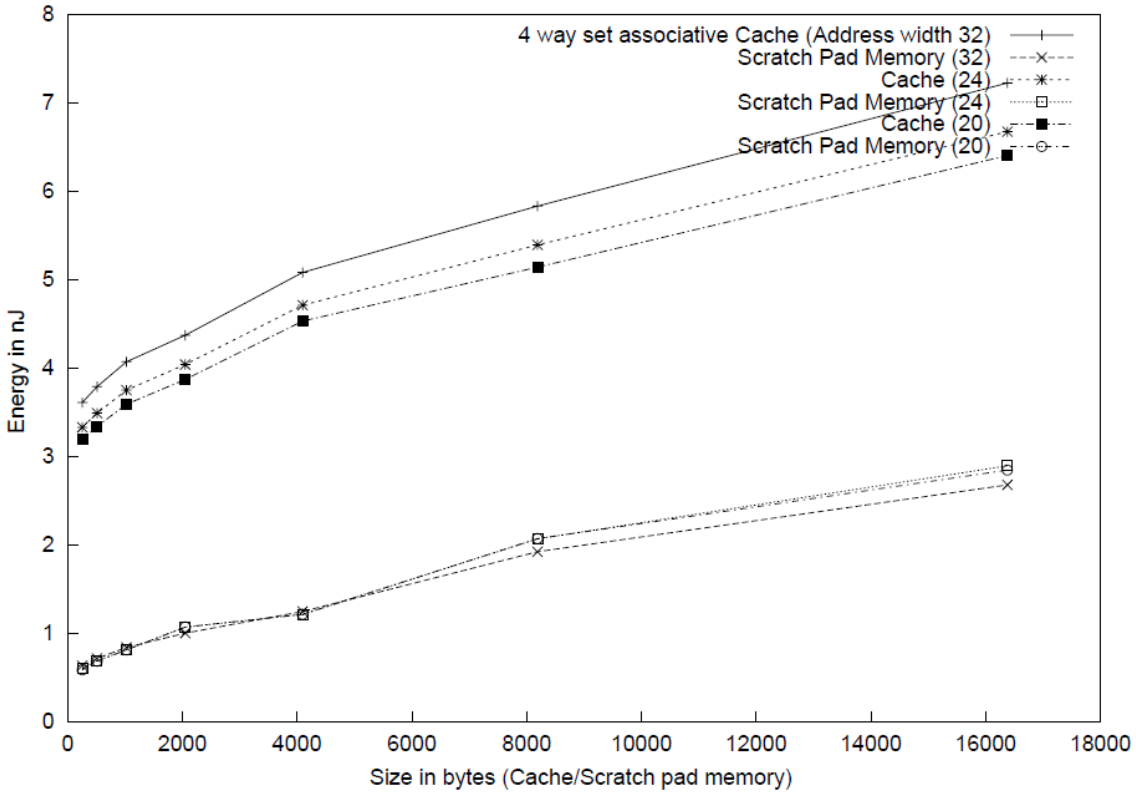
6-2 الطاقة (Energy)

سنصف أولاً تأثير عرض العنوان المتغير على طاقة ذاكرة SPM والذاكرة المخبأة. بعد ذلك ، نقدم مثالاً على استهلاك الطاقة المطلوبة للوصول إلى الذاكرة الرئيسية. وأخيراً نصف إجمالي استهلاك الطاقة لثلاث تطبيقات موجودة مسبقاً ومعرفة في المحاكي الذي نعمل عليه وهي biquad و quick_Sort و matrix_mult.

6-2-1 تغيير عرض العنوان

يوضح الشكل (8) الرسم البياني لحجم كل من ذاكرتي SPM والذاكرة المخبأة بالبايت مقابل تقديرات الطاقة المستهلكة لكل وصول وقد تم الحصول عليها باستخدام CACTI. المحور x هو الحجم بالبايت ويمثل المحور y الطاقة بالنانو جول nJ.

أولاً ، نلاحظ أنه من خلال تحديد عرض العنوان (الذي يؤثر على مساحة العنوان الخاص بالذاكرة المخبأة) ، هناك تغيير ملحوظ في استهلاك الطاقة للذاكرة المخبأة التي تقوم على التوضع المجموعاتي الترابطي ذات الأربع طرق (4 way set associative cache). والسبب هو أن عدد البتات الخاصة بحقل العلامة (Tag bits) يعتمد على عرض العنوان ، مما يؤثر على تنظيم الدارة من ناحية مصفوفة العلامات. ثانياً ، يكون استهلاك الطاقة لذاكرة SPM أقل من استهلاك طاقة للذاكرة المخبأة، ويكون الانخفاض في ضمن المجال 60٪ إلى 82٪. نلاحظ تبايناً طفيفاً جداً في استهلاك الطاقة لكل وصول لذاكرة SPM ، عندما يكون عرض العنوان متغيراً.



الشكل (8) الطاقة المقدرة لكل من الذاكرة المخبأة وذاكرة SPM

6-2-2 الذاكرة الرئيسية

يمكن استخدام تقنيات مختلفة لتنفيذ الذاكرة الرئيسية التي هي أبطأ وأكبر ذاكرة في التسلسل الهرمي للذواكر. ويتم استخدام الذاكرة الديناميكية (DRAM) لتصنيع الذاكرة الرئيسية في أجهزة الكمبيوتر. لكن أجهزة الكمبيوتر العملاقة

وأنظمة DSPعادةً تحتوي على ذاكرة رئيسية ثابتة، يتم تنفيذها باستخدام تقنية SRAM وذلك لأن زمن الوصول إليها يكون أصغر وأكثر قابلية للتنبؤ. بشكل عام ، تستهلك ذاكرة SRAM طاقة أكثر من DRAM لكل وصول.

تعتمد عدد الدورات المذكورة سابقاً في الفقرة (5) على شرائح ذاكرة الوصول العشوائي الثابتة الموجودة في لوحة ATMEL المدروسة. يبين الجدول (4) الطاقة المطلوبة لكل وصول بواسطة الأجهزة المختلفة.

نلاحظ من الجدول (4) أنه – بالنسبة للتقنية التي ندرسها – الطاقة المستهلكة في الذاكرة الرئيسية يمكن أن تصل إلى 50 ضعف من الطاقة المستهلكة في ذاكرة SPM وذلك عند كل وصول. هذا هو العامل الرئيسي الذي يؤثر على توفير الطاقة الممكن باستخدام ذاكرة SPM.

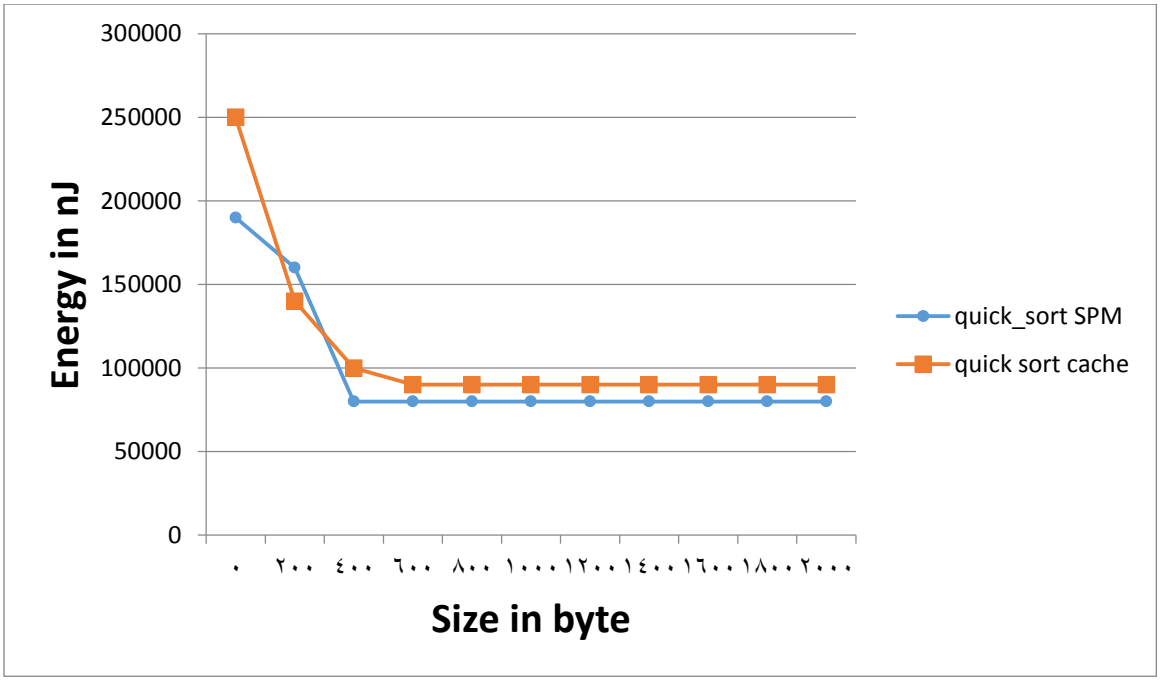
6-2-3 النتائج على التطبيقات

باستخدام النموذج الموضح في القسم 5-3، نقارن استهلاك الطاقة لعدة معايير. تظهر الأشكال (9) و (10) و (11) أن معظم معاييرنا لديها سلوك مشابه:

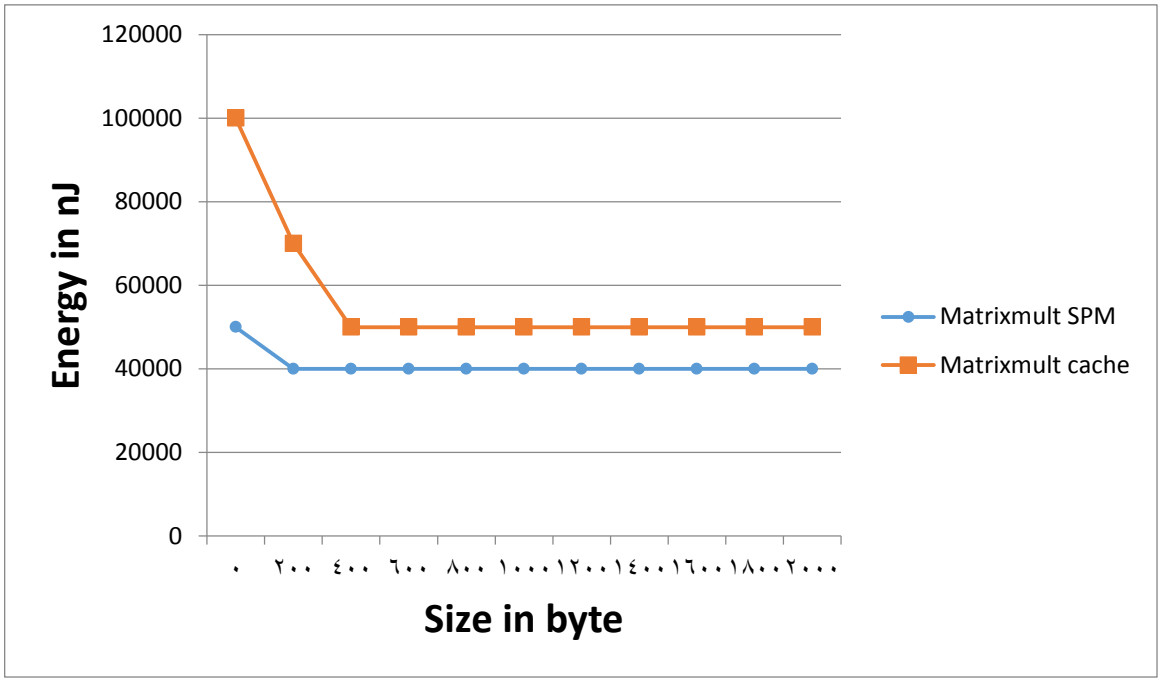
- بالنسبة للذواكر الصغيرة جداً (أقل من 600 بايت)، لا يتفوق في جميع الحالات نوع واحد من كلا الذاكرتين حيث في بعض الأحيان ، تستهلك البنية القائمة على ذاكرة SPM طاقة أقل ، وفي حالات أخرى تكون البنية القائمة على الذاكرة المخبأة.

والسبب في ذلك هو أن SPMs يجب أن تكون كبيرة بما يكفي لاحتواء الكتل الأساسية بأكملها ؛ على عكس ذلك تكون الذواكر المخبأة مفيدة حتى لو تم تخزين أجزاء فقط من الكتل والحلقات الأساسية المهمة في الذاكرة المخبأة (كما هي الحالة في quicksort).

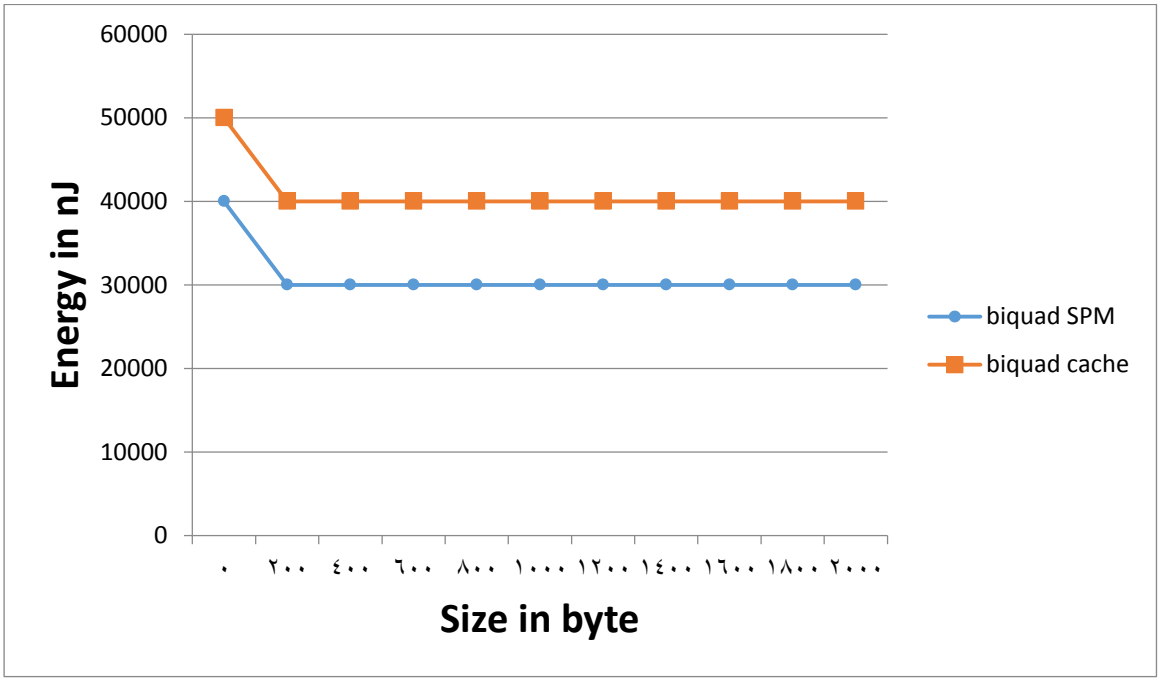
- بالنسبة للذواكر الكبيرة تحتاج بنية ذاكرة SPM إلى طاقة أقل ، نظراً لاستهلاكها المنخفض بطبيعتها للطاقة لكل وصول.



الشكل (9) الطاقة المستهلكة للمعيار quick_sort



الشكل (10) الطاقة المستهلكة للمعيار Matrixmult



الشكل (11) الطاقة المستهلكة للمعيار biquad

الذاكرة المخبأة (2 كيلو بايت)	4.57 Nj
ذاكرة SPM (2 كيلو بايت)	1.53 Nj
قراءة 2 بايت من الذاكرة الرئيسية	24.00 Nj
قراءة 4 بايت من الذاكرة الرئيسية	49.30 Nj
كتابة 4 بايت في الذاكرة الرئيسية	41.10 Nj

الجدول (4) الطاقة المطلوبة لكل وصول بواسطة الأجهزة المختلفة

7- التوصيات والأعمال المستقبلية:

في هذا البحث قدمنا منهجية شاملة لحساب المساحة والطاقة والأداء لأحجام مختلفة من الذاكرة المخبأة وذاكرة SPM. تعتمد نماذج المساحة والطاقة على CACTI ، بينما يعتمد الأداء على تحليل التتبع باستخدام المحاكاة. تقوم التقنية بشكل ضمني بتقييم خوارزمية لتحديد كتل البيانات التي يجب توضعها في ذاكرة SPM. يتم إجراء التجارب على مجموعة من المعايير. الهدف المستخدم هو استخدام البنية ARM7TDMI مع ARMulator لتحليل التتبع.

بينت النتائج أنه طالما أن SPM كبيرة بما يكفي لاحتواء بعض الكتل المهمة، فإن الترانزستورات المطلوبة أقل بكثير من الذاكرة المخبأة وذلك من أجل تنفيذ تطبيق معين ضمن الحد الأقصى لعدد الدورات.

بدمج المنطقة والوقت ، يمكننا ملاحظة أنه يمكن تقليل بارامتر المساحة_الزمن AT بنسبة 46٪ في المتوسط عند استخدام SPM.

بالنسبة للطاقة المستهلكة لكل وصول ، فإن SPM هي حوالي 3 أضعاف أكثر كفاءة من الذاكرة المخبأة الترابطية ذات المجموعة الرباعية.

يمكن استغلال هذا العامل ما لم تكن نسبة الدخول إلى الذاكرة المخبأة أكبر من تلك الخاصة بـ SPM. وجدنا أنه بالنسبة للعديد من التطبيقات وتكوينات الذاكرة، يكون إجمالي استهلاك الطاقة لأنظمة الذاكرة القائمة على SPM أقل من الأنظمة المستندة إلى الذاكرة المخبأة. هناك حالة واحدة فقط كان فيها التفوق للبنية التي تعتمد على الذاكرة المخبأة وذلك لأن SPMs يجب أن تكون كبيرة بما يكفي لاحتواء الكتل الأساسية بأكملها .

يهدف العمل المستقبلي إلى توسيع نطاق العمل الحالي بالطرق التالية:

1. يجب اختبار الذاكرتين في المعايير الأخرى. ولمثل هذه المعايير ، قد نحتاج لإعادة تحميل البيانات بشكل ديناميكي لـ SPM.

2. يجب دراسة أزمنة الوصول لـ SPM والذاكرة المخبأة. حالياً، تتم مقارنة الأداء باستخدام عدد دورات وحدة المعالجة المركزية. في المستقبل ، ينبغي أيضاً النظر في تغييرات ترددات الساعة. ستتمتع SPMs بميزة أخرى هناك، حيث لا يلزم مقارنة العلامات.

3. يجب أيضاً تحليل التكلفة و الأداء بالنسبة إلى الذواكر المخبأة التي تعتمد خوارزمية التوضع المباشر (direct mapped) .

4. يجب دراسة أكثر تفصيلاً لذاكرة DRAM الرئيسية.

5. يجب دراسة ذاكرة SPM في مستوى النظام. على سبيل المثال ، دعم نظام التشغيل لذواكر SPMs.

المراجع

[1] DW Chang, C Lin, LC Yong , Rohom: Requirement-aware online hybrid on-chip memory management for multicore systems, IEEE Transactions on Computer …, 2016.

[2] P Wang, G Sun, T Wang, Y Xie, Designing scratchpad memory architecture with emerging STT-RAM memory technologies, IEEE, 2013.

[3] LSI Logic Corporation, "CW33000 MIPS Embedded Processor User's Manual," 2000.

[4] Preeti Ranjan Panda, Nikil D. Dutt, Alexandru Nicolau ,"Memory Issues in Embedded Systems-on-Chip:Optimizations and Exploration",SPRINGER SCIENCE+BUSINESS MEDIA,LLC 2012.

[5] WASLY,S. A Dynamic Scratchpad Memory Unit for Predictable Real-Time Embedded Systems. A thesis presented to the University of Waterloo in fulfillment of the thesis requirement for the degree of Master of Applied Science in Electrical and Computer Engineering, Waterloo, Ontario, Canada, 2012.

[6] S Wilton and Norm Jouppi : Cncti : An enhanced access and cycle time model, IEEE Journal of Solid State Circuits, May 2006.

[7] MIKKO,P; LIPASTI,H. *Cache Replacement Policies*. University of Wisconsin-Madison ,United States of America, 2016.

[8] Rajeshwari M Ban&, bjan Base, M Balahishnan : Low power design abstraction levels and RTL design techniques, VLSI test and design Workshop, VDAT 2001 Bangalore, Aug 2001.

[9] ls12-www.cs.uni-dorimund.de/research/enee

[10] Rajeshwari Bank, S Steinke, B S Lee, M Balakishnan and P Marweedel, Cornpanson of cache and scratch pad based memory system with respect to performance; OM and energy consumption, Technical Report 762, University of Dortmund, Sep 2010.