مجلة جامعة طرطوس للبحوث والدراسات العلمية_ سلسلة العلوم الهندسية المجلد (3) العدد (٤) 2019
Tartous University Journal for Research and Scientific Studies- Engineering Sciences Series Vol. (3) No. (4) 2019

تحليل وتقييم أداء دارة جامع كامل لبت واحد مصنعة وفق تقنية Static CMOS وتقنية GDI وأثر تغير التكنولوجيا المستخدمة في التصنيع على الأداء

* سوزي صالح

(تاريخ الإيداع ٧ / ١١ / ٢٠١٩ . قُبل للنشر ١٨ / ٨ / ٢٠١٩)

ملخص

تعد دارة الجامع أحد المكونات الرئيسة في تصميم الدوائر المتكاملة الخاصة بالتطبيقات الحسابية والمنطقية. يتناول هذا البحث دراسة أداء دارة جامع كامل لبت واحد (1-bit Full Adder) ومقارنته بالاعتماد على تقنيتين مختلفتين: تقنية Static or Conventional CMOS ، وتقنية Gate Diffusion Input (GDI). عملية المقارنة حدثت بعد رسم الخريطة الفيزيائية Layout للدارتين، بالاعتماد على عدة تقنيات لتكنولوجيا تصنيع الدارات الإلكترونية وهي: CMOS 0.90nm، CMOS 0.65nm و CMOS 0.45nm(وهي التقنيات التي اعتمدت عليها معظم الدراسات السابقة)؛ بالإضافة إلى التقنيتين الجديدتين وهما CMOS 0.32nm و CMOS 0.22nm. جرت مقارنة مساحة الرقاقة والطاقة المستهلكة لكل تقنية، وذلك من خلال برنامج DSCH3.5 من أجل محاكاة الدارة على مستوى الترانزستور وبرنامج MICROWIND 3.5 من أجل رسم ومحاكاة الخريطة الفيزيائية Layout.

كلمات مفتاحية: دارة جامع كامل لبت واحد، تقنية Static CMOS، تقنية GDI، برنامج DSCH3.5، برنامج MICROWIND 3.5.

*أستاذ مساعد في كلية هندسة تكنولوجيا المعلومات والاتصالات- قسم النظم الحاسوبية- جامعة طرطوس
SusiSaleh@tartous-univ.edu.sy

مجلة جامعة طرطوس للبحوث والدراسات العلمية_ سلسلة العلوم الهندسية المجلد (3) العدد (٤) 2019
Tartous University Journal for Research and Scientific Studies- Engineering Sciences Series Vol. (3) No. (4) 2019

Analysis and performance evaluation of 1-bit Full Adder circuit based on static-CMOS and GDI technology, and the impact of the technology used in manufacturing on the performance.

***Susi Saleh**

(Received 7 / 11 / 2019 . Accepted 18 / 8 / 2019)

Abstract

Adder circuit is one of the main components in the design of integrated circuits for computational and logical applications.

This paper focuses on the Performance evaluation of 1-bit full adder using tow different topologies as Static Conventional CMOS and Gate Diffusion Input (GDI). The comparison of these tow topologies of 1-bit full adder was done after drawing the the layout of the tow different topologies using several technology models: CMOS 0.90nm, CMOS 0.65nm and CMOS 0.45nm (the techniques that used on most of the previous studies) as well as the new technologies CMOS 0.32nm and CMOS 0.22nm. The power consumption and the area were compared with the DSCH3.5 program for transistor level simulation and MICROWIND 3.5 for drawing and simulation of the layout.

Key words:1-bit Full adder Circuit, Static CMOS Technology, GDI Technology, DSCH3.5, MICROWIND 3.5.

*Assistante Professor – Faculty of information and communication Technology, ICT Department - Tartous University- syria

SusiSaleh@tartous-univ.edu.sy

مقدمـة

أصـبحنا اليـوم فـي عـصر الأنظمـة الرقميـة الـذي تميـز بِسيطرة الدارات المنطقية والحسابية علـى معظـم النـشاطات التـي تؤديهـا الأنظمـة الرقميـة؛ مثل المعالجات الدقيقة ومعالجات الإشارات الرقمية، وأجهزة معالجة البيانات وأجهزة معالجة الصور الرقمية، وأنظمة الاتصالات الرقمية وغيرها الكثير.

تعد دارات الجامع الكامل FA (Fall Adder) من أهم المكونات في معظم الدارات الرقمية ودارات الحساب المعقدة؛ مثل المعالجات الدقيقة أو معالجات الإشارات الرقمية أو معالجات الصور الرقمية، ووحدة الفاصلة العائمة وذاكرة التخزين المؤقت ووحدة الوصول إلى الذاكرة. كما أنها تعد الدارة الأكثر أهمية عند تصميم وحدة المعالجة المركزية فهي تعدّ بمثابة حجر الأساس في وحدة الحساب والمنطق ALU وهي المسؤولة عن عمليات الجمع والطرح والضرب والقسمة.

ومع ظهور الأنظمة الرقمية الكبيرة جداً VLSI (Very Large Scale Integration) والتي تمتاز بدرجة كثافة عالية(عدد كبير جداً من الترانزستورات ضمن رقاقة صغيرة)، فقد وجب على المصممين مراعاة الأمور الآتية عند تصميم أية دارة: عدد الترانزستورات التي تدخل في تصميم الدارة، ومساحة الرقاقة المتاحة، واستهلاك الطاقة والتأخير الزمني؛ ومن هنا ظهرت الحاجة إلى تصميم دارات بطاقة منخفضة وسرعة عالية وأداء عالٍ ومساحة رقاقة صغيرة[2][1] .

بناءً على ذلك، جرى اقتراح العديد من دارات الجامع الكامل التي تراعي شروط التصميم VLSI؛ مثل استهلاك الطاقة والتأخير والمساحة.

قام الباحثون في [5-3] بتصميم دارات جامع FA تحتوي عدداً قليلاً من الترانزستورات باستخدام تقنية ترانزستورات المرور Pass Transistor Logic (PTL)، التي تسمح بتقليل استهلاك الطاقة، ولكن ومع بساطة هذه الدارات المقترحة، فإن التشوه الشديد في إشارة الخرج، وعدم قدرتها على العمل بجهود منخفضة جعلها غير مجدية[6].

ولتقليل استهلاك الطاقة، قدم الباحثون العديد من التصميمات معتمدين على تقنيات تصميم مختلفة؛ مثل: CMOS complementary، CMOS Domino Pseudo nMOS , Dynamic CMOS وكذلك Pass Transistor Logic ، إلا أن معظم هذه الدراسات لم تحافظ على مساحة أصغرية للرقاقة[10-7].

مع أن Static CMOS Logicكان منهج التصميم الأكثر شعبية، على مدار العقود الثلاثة الماضية، فقد بُذِلت العديد من المحاولات لاقتراح بديل أفضل لتحقيق استهلاك أقل للطاقة، ومساحة أصغر وأداء أفضل. من هذه الحلول تم تطبيق تقنية تصميم منخفضة الطاقة تدعى تقنية Gate Diffusion Input- (GDI) حيث تسمح هذه التقنية بتقليل استهلاك الطاقة وتأخير الانتشار ومساحة الرقاقة. اهتم الباحثون بتصميم دارات الجامع الكامل وفق تقنية الـ GDI، معتمدين على استخدام بوابات XNOR ودارة ناخب MUX [13-11] ، وقد استطاعت هذه الدراسات الوصول إلى الغاية المطلوبة من حيث العدد المنخفض من الترانزستورات والاستهلاك المنخفض للطاقة والمساحة الأصغرية وقيمة تأخير منخفضة.

قدم الباحثون في [14] دراسة مقارنة ما بين معظم دارات الجامع الكامل السابقة مع رسم الخريطة الفيزيائية Layout، ولكن بالاعتماد على تكنولوجيا تصنيع الدرارات CMOS 0.45nm فقط.

هدف البحث

سنقوم في هذا البحث بدراسة أداء دارة جامع كامل لبت واحد ومقارنته بالاعتماد على تقنيتين مختلفتين هما : تقنية Static or Conventional CMOS وتقنية Gate Diffusion Input (GDI). ثم سنقوم برسم الخريطة لفيزيائية Layout للدارتين بالاعتماد على عدة تقنيات لتكنولوجيا تصنيع الدارات الإلكترونية وهي: CMOS 0.90nm، CMOS 0.65nm و CMOS 0.45nmوهي التقنيات التي اعتمدت عليها معظم الدراسات السابقة، وفي هذا البحث سنقوم باستخدام تقنيتين جديدتين هما CMOS 0.32nm و كذلك CMOS 0.22nm، وسنقوم بمقارنة مساحة الرقاقة والطاقة المستهلكة لكل تقنية.

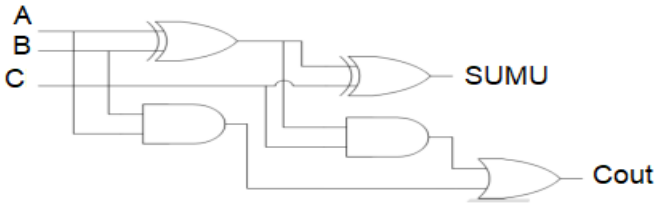
تم الاعتماد على برنامج DSCH3.5 من أجل محاكاة الدارة على مستوى الترانزستور، وتم الاعتماد على برنامج MICROWIND 3.1 من أجل رسم ومحاكاة الخريطة الفيزيائية Layout .

3-طرائق البحث ومواده

3-1 دارة الجامع الكامل بتقنية STATIC CMOS:

دارة الجامع الكامل عبارة عن دارة متجانسة تقوم بحساب المجموع الحسابي لثلاث إشارات: المدخل (A) والمدخل (B) والمدخل (C) وهو الحمل من المرحلة السابقة. خرج دارة الجامع الكامل هو المجموع (SUM)، والحمل إلى المرحلة اللاحقة (Cout).

يبيّن الشكل (١) دارة جامع كامل لبت واحد على مستوى البوابات المنطقية



الشكل (١): دارة جامع كامل لبت واحد.

ويبيّن الجدول (١) جدول الحقيقة للدارة.

الجدول (١): جدول الحقيقة لدارة جامع كامل لبت واحد.

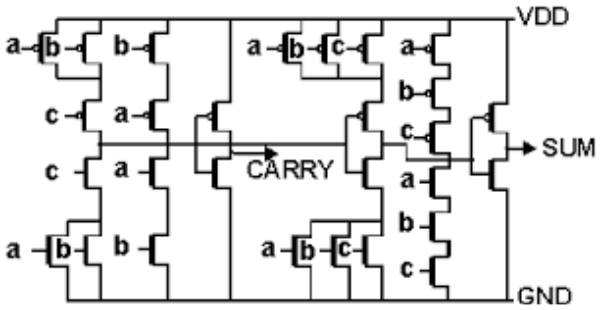
A	B	Cin	SUM	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

المعادلات البوليانية التي توضح العلاقة بين مداخل ومخارج دارة جامع كامل لبت واحد هي:

$$SUM = A \oplus B \oplus C \quad (1)$$

$$Cout = A \cdot B + B \cdot C + C \cdot A$$
$$Cout = A \cdot B + C(A \oplus B) \quad (2)$$

الشكل (٢) يبين دارة جامع كامل لبت واحد على مستوى الترانزستورات.



الشكل (٢) : دارة جامع كامل لبت واحد على مستوى الترانزستورات.

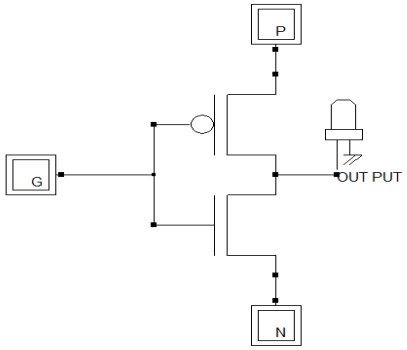
كما هو مبين بالشكل فإن دارة FA تتألف من ٢٨ ترانزستور (١٤ من النوع NMOS و١٤ من النوع PMOS).

من مميزات هذه الدارة قدرتها على تحمل هوامش الضجيج العالية والوثوقية الكبيرة للعمل بجهود منخفضة، بالإضافة إلى بساطة تصميمها بتقنية CMOS بسبب أزواج الترانزستور المستخدمة. لكن من عيوب هذه الدارة الاستهلاك الكبير للطاقة والمساحة الكبيرة على الشريحة.

3-2تقنية GDI:

انتشرت في الآونة الأخيرة تقنية (GDI) Gat Diffusion Input- انتشاراً كبيراً في عالم تصميم الإلكترونيات الرقمية، حيث لجأ معظم مصممي الدارات الرقمية إلى هذه التقنية؛ وذلك لبساطتها وقدرتها على الحد من استهلاك الطاقة بسبب قلة عدد الترانزستور اللازم لتصميم الدارة الرقمية.

تعتمد تقنية GDI على استخدام خلية بسيطة مكونة من ترانزستورين نوع NMOSو PMOS مع أربع نهايات هي: G مدخل البوابة المشتركة للترانزستورات NMOS وPMOS، P مدخل الترانزستور (PMOS)، N مدخل الترانزستور NMOS وOUTPUT وهو مخرج مشترك للترانزستورين [16]. الشكل (٣) يبين البنية الأساسية لخلية GDI.



الشكل (٣) : البنية الأساسة لخلية GDI .

تتشابه خلية GDI من حيث البنية مع الخلية الأساسية لعاكس CMOS القياسي، ولكن هناك بعض الاختلافات الرئيسة والمهمة حيث تتميز خلية GDI أن المنبع (S) للترانزستور PMOS في غير متصل بقطب التغذية VDDوكذلك المنبع (S) للترانزستور NMOS غير متصل بقطب التغذية GND .

يتم التحكم بعمل هذه الخلية من خلال التحكم بقيم المنافذ (G,P,N)، يبين الجدول (٢) كيف يمكن التحكم بعمل خلية الـ GDI من خلال تغيير قيم المداخل.

الجدول(٢): الوظائف المنطقية لخلية GDI

N	P	G	OUT	Function
٠	B	A	A'B	F1
B	1	A	A'+B	F2
1	B	A	A+B	OR
B	0	A	A.B	AND
C	B	A	A'B+AC	MUX
0	1	A	A'	NOT

3- 3 دارة الجامع الكامل بتقنية GDI:

ظهرت دراسات عديدة اهتمت بتصميم دارة جامع كامل لبت واحد وفق تقنية GDI [11-13]، واعتمدت على تعديل المعادلات البوليانية لدارة الجامع الكامل القياسية المبينة بالمعادلتين (١) و(٢).

يمكن إعادة صياغة المعادلات القياسية السابقة لتصبح بالشكل الآتي:

$$\mathrm{SUM} = (A \oplus B) \oplus C$$

$$\Rightarrow (A \oplus B) \cdot C' + (A \oplus B)' \cdot C \qquad (3)$$

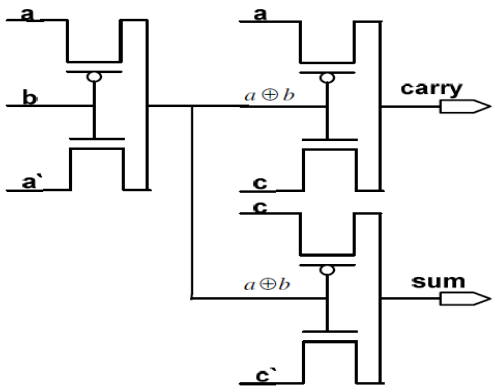
$$\mathrm{Cout} = A \cdot B + B \cdot C + C \cdot A$$

$$\Rightarrow (A \oplus B)' \cdot A + (A \oplus B) \cdot C \qquad (4)$$

من المعادلات السابقة نلاحظ أنه لتوليد إشارة المجموع SUM بتقنية GDI، وبحسب الجدول (٢)، نحن بحاجة لتمرير إشارة(AxorB) إلى دارة ناخب MUX ليتم انتخاب إحدى الإشارتين C أو 'C.

ولتوليد إشارة الحمل Cout يتم تمرير إشارة(AxorB) إلى دارة ناخب MUX ليتم انتخاب إما A وإما Cin.

الشكل (٤) يبين دارة جامع كامل لبت واحد بتقنية GDI، حيث تتألف هذه الدارة من ستة ترانزستورات فقط، وتعتمد من حيث التصميم على استخدام بوابة GDI– XOR لتوليد الإشارة (A xor B) وبوابتين ناخب MUX GDI–لتوليدإشارتي الـ SUM والـ Cout [12].



الشكل (٤) :دارة جامع كامل لبت واحد بتقنية GDI

٤– الدارة العملية:

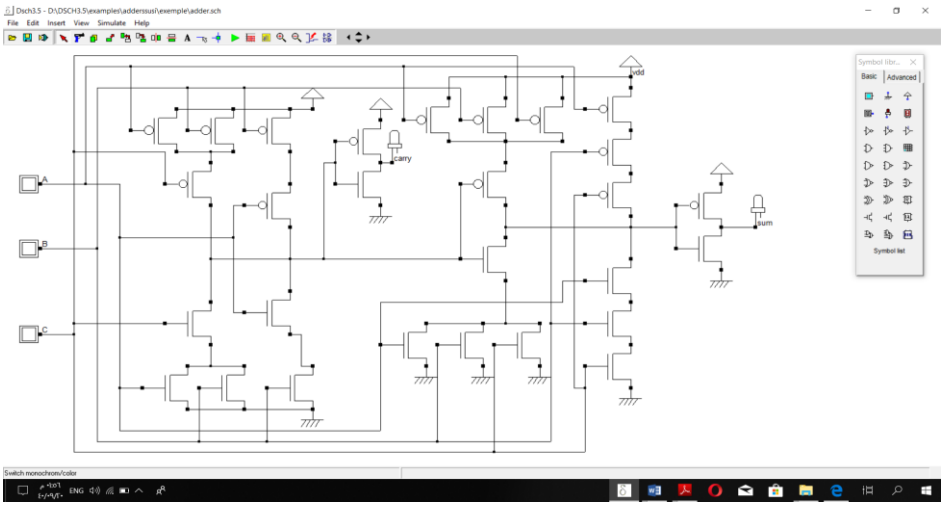
بعد أن استعرضنا بنية دارة جامع كامل لبت واحد بالاعتماد على تقنيتين مختلفتين: تقنية or Static Conventional CMOS وتقنية Gate Diffusion Input (GDI). من أجل مقارنة مساحة الرقاقة والطاقة المستهلكة والتأخير الزمني لكل تقنية.

٤–١ مرحلة محاكاة الدارة:

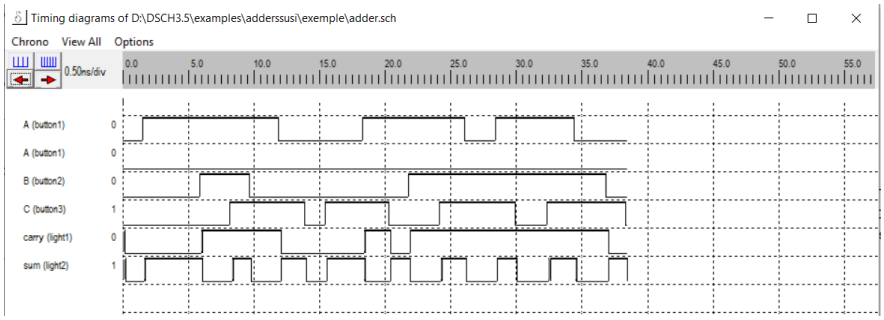
تم الاعتماد على برنامج DSCH3.5 من أجل محاكاة الدارتين المبينتين بالشكل (٢) و(٤) على مستوى الترانزستور.

٤–١–١: دارة جامع كامل لبت واحد بتقنية Static CMOS

يبين الشكل (٥) البنية الأساسية لدارة جامع كامل لبت واحد بتقنية Static CMOS حيث تتألف هذه الدارة من ٢٨ ترانزستور من النوع NMOS وPMOS.و يبين الشكل (٦) نتائج المحاكاة للتأكد من صحة عمل هذه الدارة.



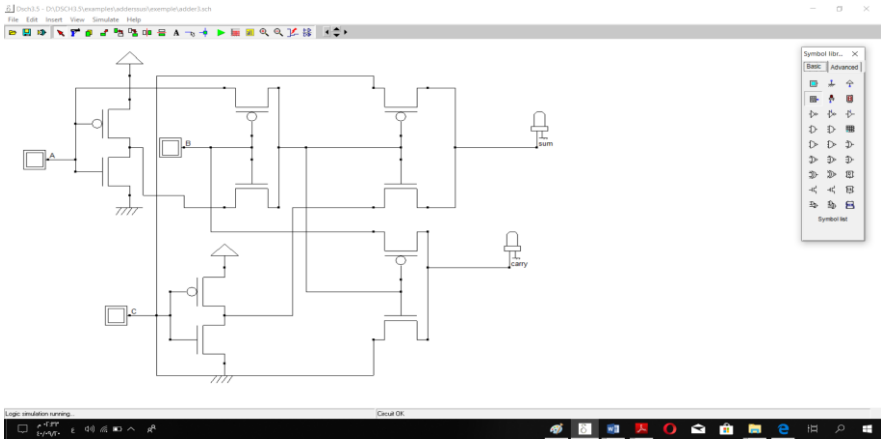
الشكل (٥) :دارة جامع كامل لبت واحد بتقنية Static CMOS



الشكل (٦) :نتائج محاكاة دارة جامع كامل لبت واحد بتقنية Static CMOS

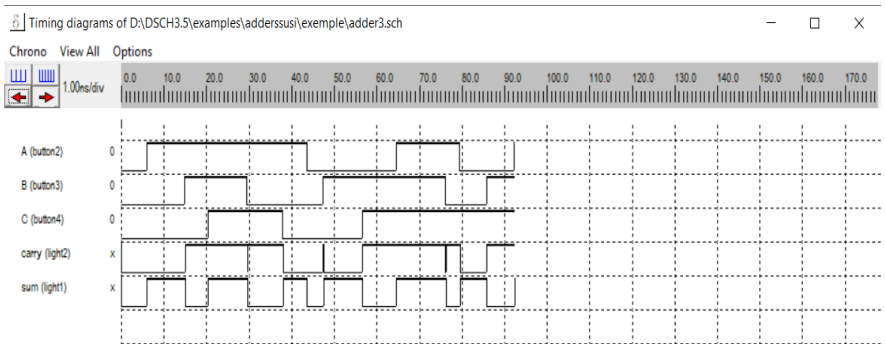
٤-١-٢: دارة جامع كامل لبت واحد بتقنيةGDI

بالرغم من ظهور عدة تصاميم لدارة جامع كامل لبت واحد بتقنية GDI فقد اعتمدنا في هذه الدراسة على الدارة المبينة بالشكل (٤) حيث إنها تتميز بسهولة التصميم وبالعدد القليل من الترانزستورات التي تشكلها. يبين الشكل (٧) البنية الأساسية لهذه الدارة؛ حيث إنها تتألف بشكل أساسي من ستة ترانزستورات بالإضافة إلى أربعة ترانزستورات إضافية من أجل تأمين دارتين عاكس (عاكسين) على كل من المدخلين A وC.



الشكل (٧) : دارة جامع كامل لبت واحد بتقنية GDI

نتائج المحاكاة للتأكد من صحة عمل هذه الدارة مبينة بالشكل (٨).



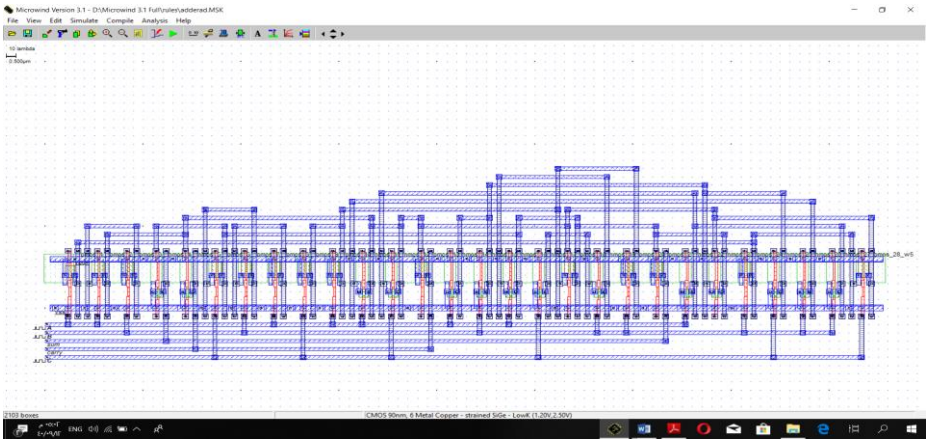
الشكل (٨) : نتائج محاكاة دارة جامع كامل لبت واحد بتقنية GDI

بعد التأكد من نتائج المحاكاة للدارتين السابقتين، قمنا بتوليد ملف الوصف البنوي بلغة Verilog لكلتا الدارتين من أجل عملية رسم الخريطة الفيزيائية Layout.

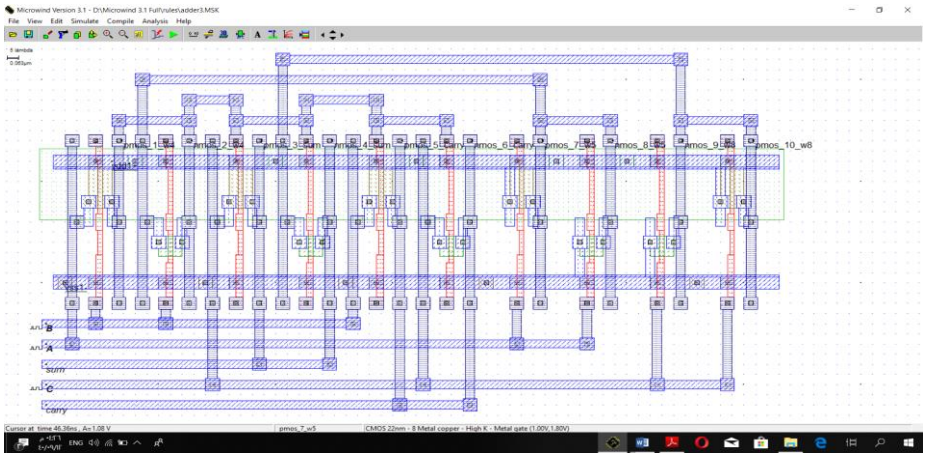
٤-١ مرحلة رسم الخريطة الفيزيائية Layout:

من أجل رسم ومحاكاة الخريطة الفيزيائية Layout تم الاعتماد على برنامج MICROWIND 3.1 وعلى ملف الوصف البنوي بلغة Verilog من المحاكاة السابقة .

يبيّن الشكل (٩) الخريطة الفيزيائية "layout" لدارة جامع كامل لبت واحد بتقنية Static CMOS، ويبيّن الشكل (١٠) الخريطة الفيزيائية "layout" لدارة جامع كامل لبت واحد بتقنيةGDI



الشكل (٩) : الخريطة الفيزيائية دارة جامع كامل لبت واحد بتقنية Static CMOS

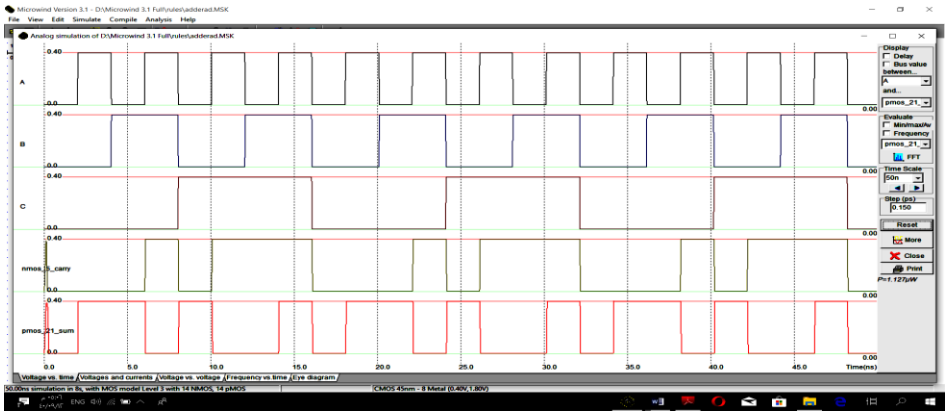


الشكل (١٠) : الخريطة الفيزيائية دارة جامع كامل لبت واحد بتقنية GDI

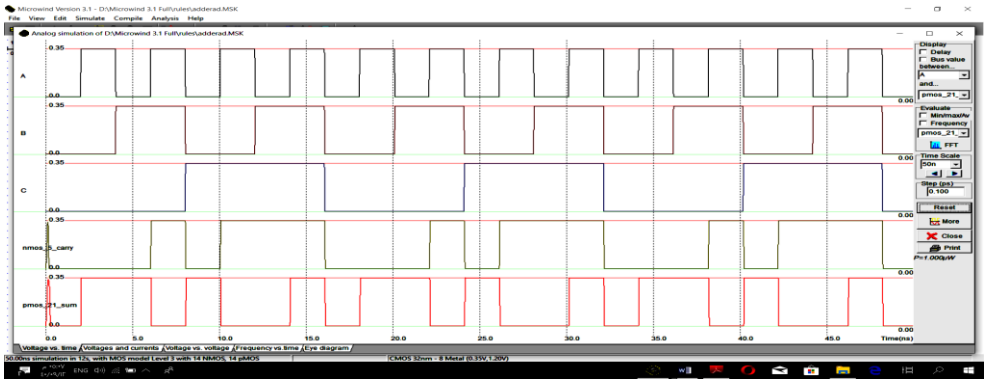
النتائج والمناقشة :

من أجل عمليات مقارنة الأداء من حيث مساحة الرقاقة والطاقة المستهلكة لكلتا الدارتين، فإن رسم الخريطة لفيزيائية Layout للدارتين سيتم بالاعتماد على عدة تقنيات لتكنولوجيا تصنيع الدارات الإلكترونية وهي: CMOS 0.90nm، CMOS 0.65nm و CMOS 0.45nmوهي التقنيات التي اعتمدت عليها معظم الدراسات السابقة، وفي هذا البحث قمنا باستخدام تقنيتين جديدتين هما CMOS 0.32nm و كذلك CMOS 0.22nm.

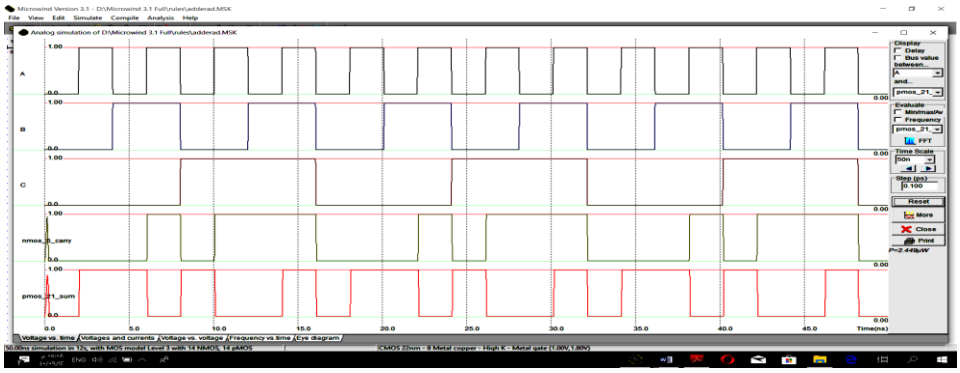
يبيّن الشكل (١١) نتائج محاكاة الخريطة الفيزيائية "layout" لدارة جامع كامل لبت واحد بتقنية Static CMOS بالاعتماد على التقنيات (CMOS 0.45nm, CMOS 0.32nm و CMOS 0.22nm.مع العلم أن النتائج لا تختلف بالنسبة إلى التقنيتين CMOS 0.65n. CMOS 0.90nm



(a): CMOS 0.45nm



(b): CMOS 0.32nm



(c): CMOS 0.٢2nm

الشكل (١١): نتائج محاكاة الخريطة الفيزيائية "layout" لدارة جامع كامل لبت واحد بتقنية static CMOS بالاعتماد على عدة تقنيات لتكنولوجيا تصنيع الدرارات الإلكترونية

يسمح برنامج MICROWIND 3.1 بحساب مساحة الرقاقة والطاقة المستهلكة لكل تقنية مستخدمة حيث يتم حساب الطاقة المستهلكة من المعادلة الآتية[14]:

P=Supply voltage (Vdd)* Current (I)

يبين الجدول (٣) مساحة الرقاقة والطاقة المستهلكة لكل تقنية من التقنيات السابقة من أجل دارة جامع كامل لبت واحد بتقنية Static CMOS .

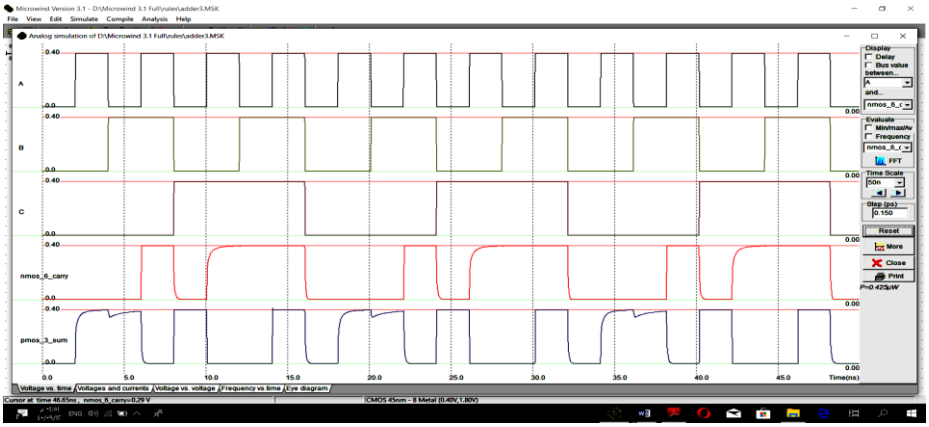
الجدول(٣): مساحة الرقاقة والطاقة المستهلكة

التقنية المستخدمة (nm)	0.90	0.65	0.45	0.32	0.22
مساحة الرقاقة (μm^2)	506.2	248	126.6	81	31.6
الطاقة المستهلكة (µw)	10.464	3.255	1.127	1.000	١.٢19

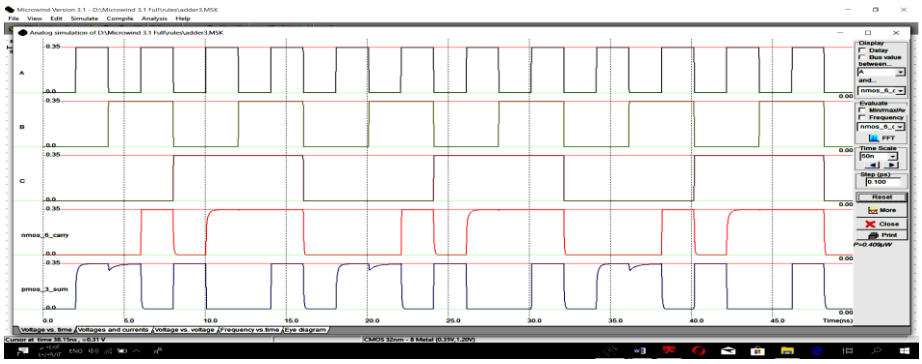
نلاحظ من الجدول السابق أن مساحة الرقاقة قد انخفضت بمقدار ٣٦% عند الانتقال من تقنية CMOS 0.45nm إلى تقنية CMOS0.32% وبمقدار ٧٥% عند الانتقال إلى تقنية CMOS 0.22nm .

فيما يخص الطاقة المستهلكة نلاحظ أن الطاقة المستهلكة انخفضت بمقدار ١١,٢٧% عند الانتقال من تقنية CMOS 0.45nm إلى تقنية CMOS0.32% بينما نلاحظ زيادة استهلاك الطاقة بمقدار ٨% عند الانتقال إلى تقنية CMOS 0.22nmويعود سبب هذه الزيادة إلى زيادة جهد التغذية المستخدم في التقنية CMOS 0.22nm حيث VDD=1[V] بينما في تقنية CMOS 0.45nm فإن VDD=0.4[V].

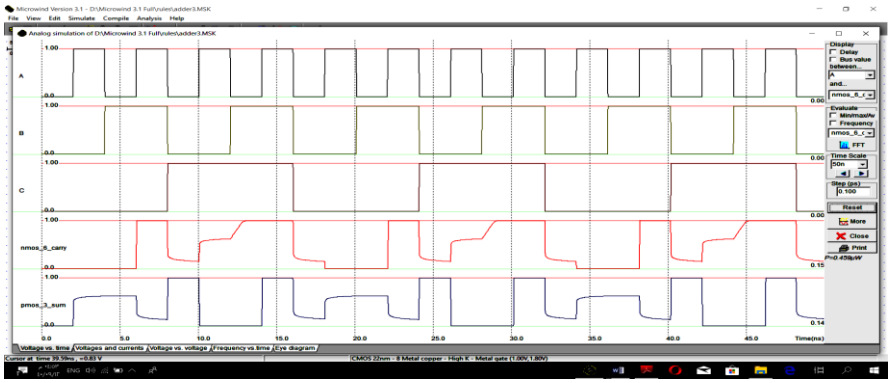
يبيّن الشكل (١٢) نتائج محاكاة الخريطة الفيزيائية "layout" لدارة جامع كامل لبت واحد بتقنية GDI بالاعتماد على التقنيات (CMOS 0.45nm, CMOS 0.32nm و CMOS 0.22nm. مع العلم أن النتائج لا تختلف بالنسبة إلى التقنيتين CMOS 0.65n .CMOS 0.90nm



(a): CMOS ٠.٤٥nm



(b): CMOS 0.32nm

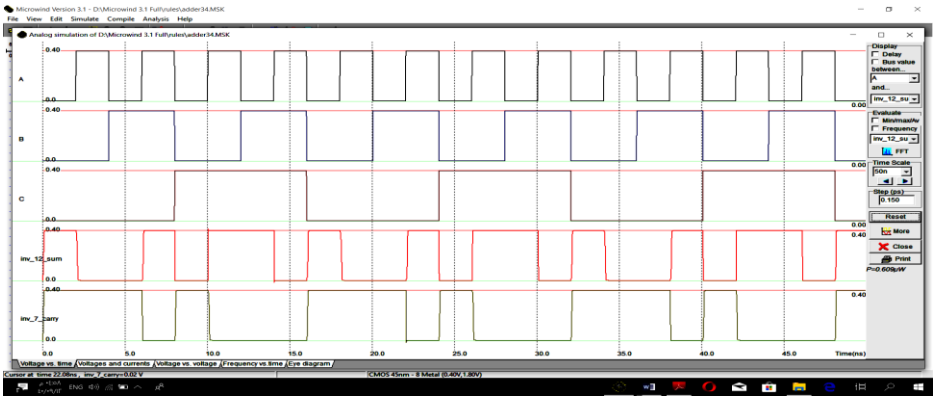


(c): CMOS 0.22nm

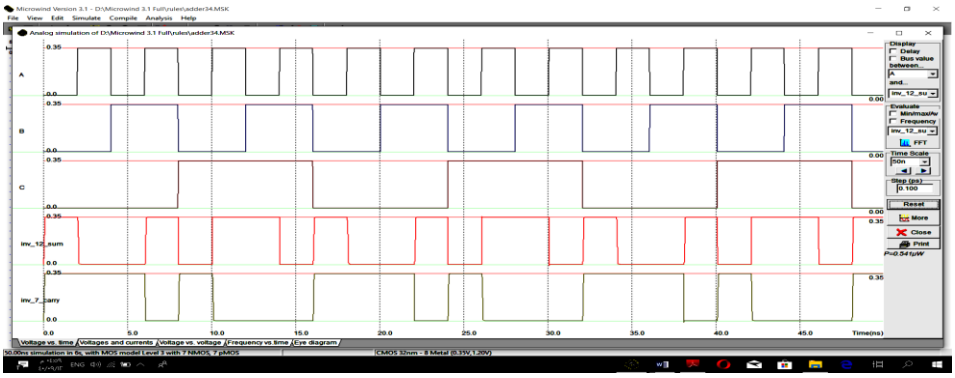
الشكل (١٢): نتائج محاكاة الخريطة الفيزيائية "layout" لدارة جامع كامل لبت واحد بتقنية GDI بالاعتماد على عدة تقنيات لتكنولوجيا تصنيع الدرارات الإلكترونية

بمقارنة نتائج المحاكاة المبينة بالشكل (١٢) مع نتائج المحاكاة لدارة جامع كامل لبت واحد بتقنية Static CMOS المبينة بالشكل (١٠) نلاحظ أن استجابة إشارتي الجمع SUM والحمل Cout للواحد المنطقي والصفر المنطقي تكون مشوهة في بعض الأحيان؛ والسبب يعود إلى أن وجود الترانزستورين NMOS و PMOS في مرحلة الخرج حيث يستطيع الترانزستور PMOS تمرير الـ '1' المنطقي بوضوح ، ولكن لا يمكن أن يمرر الـ '٠' المنطقي تمامًا. ومن جهة ثانية يستطيع الترانزستور NMOS تمرير الـ '0' المنطقي بوضوح ، ولكن لا يمكن أن يمرر الـ '1' المنطقي تمامًا.

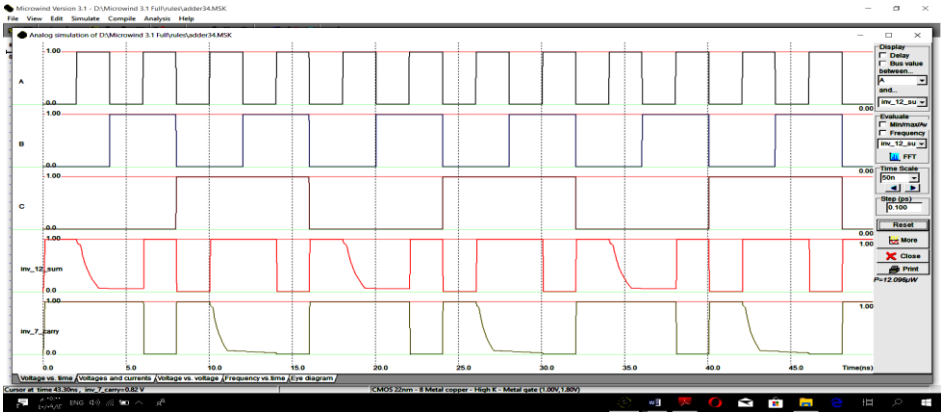
لتحسين أداء هذا الجامع قمنا بإضافة عاكس على كل مخرج، ولكن هذا الحل أدى إلى زيادة مساحة الرقاقة واستهلاك الطاقة. الشكل (١٣) يبين نتائج المحاكاة لدارة جامع كامل لبت واحد بتقنية GDI بعد إضافة عاكس على المخرجين SUM و Cout



(a): CMOS 0.45nm



(b): CMOS 0.32nm



(c): CMOS 0.٢2nm

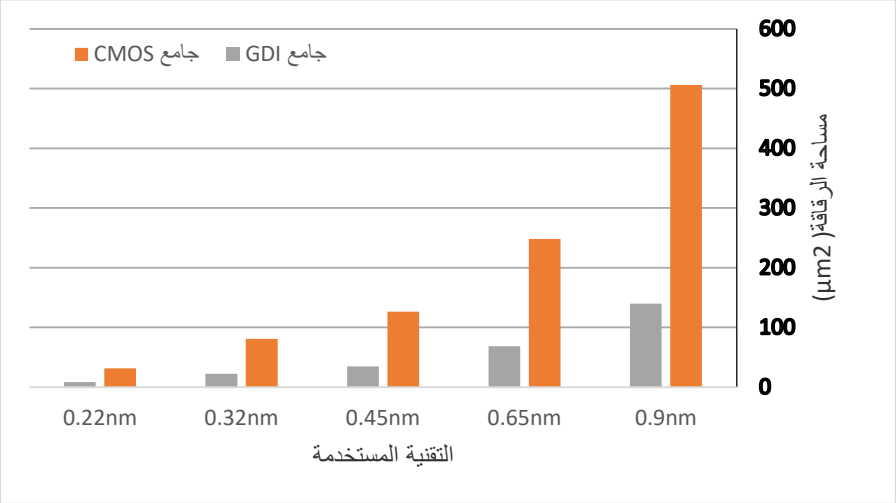
الشكل (١٣): نتائج محاكاة الخريطة الفيزيائية "layout" لدارة جامع كامل لبت واحد بتقنية GDI بعد إضافة دارة عاكس على كلا المخرجين SUM و Cout

يبين الجدول (٤) مساحة الرقاقة والطاقة المستهلكة لكل تقنية من التقنيات السابقة من أجل دارة جامع كامل لبت واحد بتقنية Static CMOS .

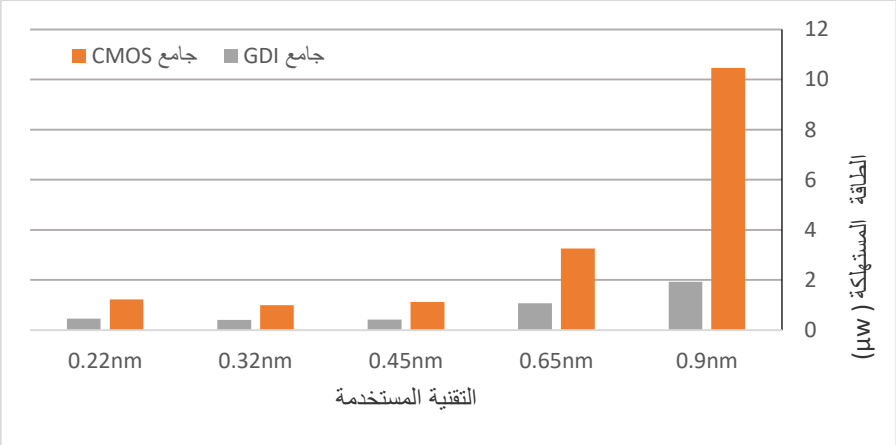
الجدول(٤): مساحة الرقاقة والطاقة المستهلكة

التقنية المستخدمة (nm)	0.90	0.65	0.45	0.32	0.22
مساحة الرقاقة (μm^2)	١٣٩,٩	68.6	35	22.4	8.7
الطاقة المستهلكة (µw)	1.924	1.067	0.425	0.409	0.459
مساحة الرقاقة بعد إضافة العاكس(μm^2)	166.5	81.6	41.6	26.6	10.4
الطاقة المستهلكة (µw) بعد إضافة العاكس	26.350	1.883	0.609	0.541	2.096

يبيّن الشكل (١٤) نتائج المقارنة بين الدارتين السابقتين من حيث مساحة الرقاقة ويبيّن الشكل (١٥) نتائج المقارنة بين الدارتين السابقتين من حيث الطاقة المستهلكة.



الشكل (١٤): المقارنة بين دارتي الجامع Static CMOS وGDI من حيث مساحة الرقاقة



الشكل (١٥): المقارنة بين دارتي الجامع Static CMOS وGDI من حيث الطاقة المستهلكة

كما هو واضح من نتائج المقارنة فإن دارة جامع كامل لبت واحد بتقنية GDI أفضل من حيث المساحة على الرقاقة، ومن حيث الطاقة المستهلكة؛ مهما كانت التقنية المستخدمة في التصنيع.

الاستنتاجات والتوصيات:

دُرِست في هذا البحث دارتين لدارة جامع كامل لبت واحد هما: دارة الجامع الكامل بتقنية Static CMOS والتي تتألف من ٢٨ ترانزستور، ودارة جامع كامل لبت واحد بتقنية GDI والتي بدورها تتألف من ٦ ترانزستورات. كما دُرِست الخريطة الفيزيائية للدارتين. وبمقارنة نتائج المحاكاة نلاحظ أن دارة جامع كامل لبت واحد بتقنية GDI أفضل من حيث المساحة على الرقاقة ومن حيث الطاقة المستهلكة مهما كانت التقنية المستخدمة في التصنيع؛ ويعود ذلك إلى العدد القليل من الترانزستورات المستخدم في تصميم الدارة وبنسبة توفير في المساحة على الشريحة يصل لـ ٧٢%، ونسبة توفير بالطاقة يصل إلى ٥٩%؛ من أجل تقنية CMOS0.32nm، وبمقدار ٦٢,٣% من أجل تقنية CMOS0.22nm.

المراجع العلمية

[1] *Jan, M. Rabaey, Chandrakasan Anantha, and Nikolic Borivoje. "Digital Integrated Circuits–A Design Perspective." (2003).*

[2] Pucknell, Douglas A., and Kamran Eshraghian. *Basic VLSI design: systems and circuits*. Englewood Cliffs, New Jersey,, USA: Prentice Hall, 1988..

[3*] Bui, Hung Tien, Yuke Wang, and Yingtao Jiang. "Design and analysis of low-power 10-transistor full adders using novel XOR-XNOR gates." IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing 49, no. 1 (2002): 25-30.*

[4] Jiang, Yingtao, Abdulkarim Al-Sheraidah, Yuke Wang, Edwin Sha, and Jin-Gyun Chung. "A novel multiplexer-based low-power full adder." *IEEE Transactions on Circuits and Systems II: Express Briefs* 51, no. 7 (2004): 345-348.

[5] Lin, Jin-Fa, Yin-Tsung Hwang, Ming-Hwa Sheu, and Cheng-Che Ho. "A novel high-speed and energy efficient 10-transistor full adder design." *IEEE Transactions on Circuits and Systems I: Regular Papers* 54, no. 5 (2007): 1050-1059.

[6] Wang, Dan, Maofeng Yang, Wu Cheng, Xuguang Guan, Zhangming Zhu, and Yintang Yang. "Novel low power full adder cells in 180nm CMOS technology." In *2009 4th IEEE Conference on Industrial Electronics and Applications*, pp. 430-433. IEEE, 2009.

[7] Uma, R. "4-Bit Fast Adder Design: Topology and Layout with Self-Resetting Logic for Low Power VLSI Circuits"." *International Journal of Advanced Engineering Sciences and Technology* 7, no. 2 (2011): 197-205.

[8] Veeramachaneni, Sreehari, and M. B. Srinivas. "New improved 1-bit full adder cells." In *2008 Canadian Conference on Electrical and Computer Engineering*, pp. 000735-000738. IEEE, 2008.

[9] Chen, Chuen-Yau, and Yung-Pei Chou. "Novel low-power 1-bit full adder design." In *2009 9th International Symposium on Communications and Information Technology*, pp. 1348-1349. IEEE, 2009.

[10] Khatibzadeh, Amir Ali, and Kaamran Raahemifar. "A 14-transistor low power high-speed full adder cell." In *CCECE 2003-Canadian Conference on Electrical and Computer*

Engineering. Toward a Caring and Humane Technology (Cat. No. 03CH37436), vol. 1, pp. 163-166. IEEE, 2003.

[11] Lakshmaiah, Dayadi, M. V. Subramanyam, and K. Sathya Prasad. "A Novel Design of Low-Power 1-Bit CMOS Full-Adder Cell Using XNOR and MUX." *INTERNATIONAL JOURNAL OF MANAGEMENT & INFORMATION TECHNOLOGY* 7, no. 3 (2013): 1155-1165.

[12] Reddy, Karthik G. "Low power-area designs of 1bit Full adder in cadence virtuoso platform." *International Journal of VLSI Design & Communication Systems* 4, no. 4 (2013): 55.

[13] Uma, R., and P. Dhavachelvan. "Modified gate diffusion input technique: a new technique for enhancing performance in full adder circuits." *Procedia Technology* 6 (2012): 74-81.

[14] Sreelatha, P., P. Koti Lakshmi, and Rameshwar Rao. "Performance analysis of 1-bit full adder using different design techniques." In *2017 2nd IEEE International Conference on Recent Trends in Electronics, Information & Communication Technology (RTEICT)*, pp. 2262-2266. IEEE, 2017.

[15] Morgenshtein, Arkadiy, Alexander Fish, and A. Wagner. "Gate-diffusion input (gdi)-a novel power efficient method for digital circuits: a design methodology." In *Proceedings 14th Annual IEEE International ASIC/SOC Conference (IEEE Cat. No. 01TH8558)*, pp. 39-43. IEEE, 2001.

[16] Sarkar, Sudeshna, Monika Jain, Arpita Saha, and Amit Rathi. "Gate Diffusion Input: A technique for fast digital circuits (implemented on 180 nm technology)." IOSR Journal of VLSI and Signal Processing (IOSR-JVSP) 4, no. 2 (2014): 49-53.