مجلة جامعة طرطوس للبحوث والدراسات العلمية _ سلسلة العلوم الهندسية المجلد (5) العدد(11) 2021
Tartous University Journal for Research and Scientific Studies - engineering Sciences Series Vol. (5) No. (11) 2021

اكتشاف الأعطال وتحليل أداء خلية LUT مصنعة وفق تقنية Static CMOS وتقنية GDI

د.م .سوزي صالح *
م. علاء سليمان **

(تاريخ الإيداع 23 /2 /2021 . قُبِل للنشر في 23 /12 /2021)

□ ملخّص □

تكتسب(FPGA (Field Programing Gate Array أهمية كبيرة في صناعة الدارات الرقمية Integrate) (IC Circuit، بسبب الأداء العالي، واستهلاك الطاقة المنخفض، هذة الخصائص تجعل FPGA المرشح الأول للاستخدام في اللأنظمة الرقمية المعقدة، إن الوحدة الأساسية في شريحة FPGA هي خليةLUT (Look-Up Table) فهي المسؤولة عن بناء الوظائف المنطقية. يتناول هذا البحث تصميم خلية LUT باستخدام تقنيتين مختلفتين: تقنية Static Conventional CMOS، وتقنية Gate Diffusion Input (GDI) بالاعتماد على تقنيات تصنيع وهي CMOS 0.90nm،CMOS 0.65nm، CMOS 45nm ، بالإضافة الى دراسة الأعطال باستخدام خوارزمية-D. algorithmتمت مقارنة مساحة الرقاقة و استهلاك الطاقة، وذلك من خلال برنامج DSCH3.5 ،وبرنامج MICROWIND 3.5 من أجل رسم ومحاكاة الخريطة الفيزيائية Layout، حصلنا في نهاية البحث على نتائج توفير في مساحة الرقاقة 79% وتوفير في الطاقة يصل الى 92% وذلك من اجل خلية LUT_3. وهذة النتيجة تتوافق مع الباحثين الذين اعتمدو تقنية GDI في بناء وحدات وظيفية مختلفة مثل ضارب التسلسلي[11][12] ودارة جامع كامل لبت واحد [13] ومسجلات الازاحة للتغذية العكسية LFSR [14].

كلمات مفتاحية:المصفوفات المنطقية القابلة للبرمجة FPGA، جدول البحث LUT، تقنية Static CMOS، تقنية GDI، DSCH3.5، MICROWIND 3.5,D-algoritm.

*أستاذ مساعد في كلية هندسة تكنولوجيا المعلومات و الاتصالات– قسم النظم الحاسوبية– جامعة طرطوس.

مجلة جامعة طرطوس للبحوث والدراسات العلمية _ سلسلة العلوم الهندسية المجلد (5) العدد(11) 2021
Tartous University Journal for Research and Scientific Studies - engineering Sciences Series Vol. (5) No. (11) 2021

fault detection and analyze the performance of LUT cell manufactured using Static CMOS technology and GDI technology

Dr. ENG.Susi Saleh*
ENG. Alaa Suliman **

(Received 23/2 / 2021 . Accepted 23 /12 / 2021)

□ ABSTRACT □

FPGA (Field Programing Gate Array) is of great importance in the IC industry, due to its high performance and low power consumption, these characteristics make FPGA the first candidate for use in complex digital systems. -Up Table) They are responsible for building logical functions. This paper appears design of a LUT cell using two different technologies: Static Conventional CMOS technology, and Gate Diffusion Input (GDI) technology based on several manufacturing technologies, namely 0.90nm CMOS, CMOS 0.65nm ,45nm CMOS. In addition to studying the faults that use D-algorithm, The chip area and power consumption were compared, through DSCH3 program. .5, and the MICROWIND 3.5 program for drawing and simulating the Layout physical map. At the end of the research, we got 79% savings in chip space and 92% energy savings for the LUT_3 cell. his result is consistent with researchers who have relied on GDI technology to build various functional units such as the Vedic Multiplier [12][11] and the full adder 1-bit [13] LFSR liner feedback shift registers [14].

Key words: Field Programing Gate Array (FPGA)، Look-Up Table (LUT)، CMOS technology، GDI technology، MICROWIND 3.5،DSCH 3.5.D-algorithm

* Assistant Professor – Faculty of information and communication Technology, ICT Department -Tartous University- Syria.
** Postgraduate student - in the Faculty of Information and Communication Technology Engineering - Department of Computer and Electronic Systems - Tartous University

1- مقدمـة:

مع ظهور الدارات المتكاملة VLSI (Very Large Scale Integration) التي تمتاز بدرجة كثافة عالية (عدد كبير جداً من الترانزستورات ضمن رقاقة صغيرة)،

توجب على المصممين مراعاة الأمور التالية عند تصميم أي دارة: عدد الترانزستورات التي تدخل في تصميم الدارة، ومساحة الرقاقة المتاحة، واستهلاك الطاقة والتأخير الزمني، ومن هنا ظهرت الحاجة إلى تصميم دارات بطاقة منخفضة وسرعة عالية وأداء عالٍ ومساحة رقاقة صغيرة [2][1] .

توفر FPGA سهولة في الاستخدام لمرونتها الكبيرة من ناحية برمجتها أكثر من مرة ووثوقية عالية، وتكلفة أقل وأرباح أعلى في مجال التسويق مقارنة بالدارات المتكاملة الخاصة بالتطبيقات Application Specific Integrated Circuits (ASIC)، والتي تحتاج عادة إلى الكثير من الموارد من حيث الوقت والمال[3]،

إن الوثوقية التي تميز FPGA عن باقي التطبيقات هي الكفاءة في اكتشاف الأخطاء في حالة حدوثها خلال فترة عمل الشريحة، إن تكلفة الاختبار تخضع للعديد من المتغيرات مثل كفاءة معدات التصنيع ووقت الاختبار ومجال التطبيق [4].

يمكن تحديد العيوب من خلال التشخيص المنطقي للوحدة المدروسة. إن نماذج الأعطال التي يمكن دراستها في الأجهزة القابلة للبرمجة هي: العطل العالق stuck-at fault ، االعطل الجسري bridge fault، عطل الفتح open fault، عطل الانتقال transition fault ، عطل الناجم عن تأخير في المسار path delay fault والعطل الداخلي للخلية cell internal fault[10].

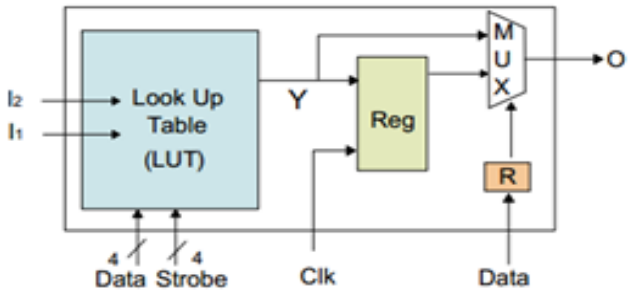
تم في هذه المقالة دراسة العطل من نوع @-stuck بنوعيه @0-stuck, @1-stuck.

حظي اكتشاف الأعطال وتشخيصها باهتمام كبير من قبل الدارسين وتتالت الطرق والخوارزميات الخاصة باكتشاف الأعطال ومنها: المسار الحساسPath Sensitization ، خوارزمية D-Algorithm D، الفروق المنطقية Difference Boolean، تحليل جداول الحالة State-Table Analysis.

مما ساعد في دراسة الأخطاء هو البنية التي تتميز بها FPGA بحيث تتكون من:

- كتل منطقية قابلة للبرمجة التي تنفذ وظائف منطقية LUT.
- وصلات قابل للبرمجة لربط هذه الوظائف المنطقية.
- كتل الدخل والخرج I / O تؤمن اتصال مع الوسط المحيط .

تُعد الكتلة المنطقية القابلة للتكوين (CLB) مكونًا أساسيًا في FPGA كما هو في الشكل (1) [3].

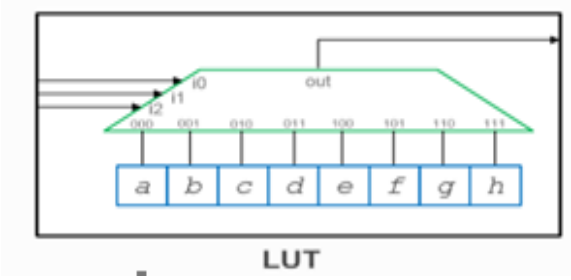


الشكل(1):بنية CLB.

تتكون الخلية النموذجية من أربع مكونات وهي :LUT، mux ، flip-flip flop .

تتميز الـ LUT بوجود خرج وحيد حيث يتم حساب قيمة هذا البت (بت الخرج) كما هو موضح في الشكل (2).

1 2 3 ut



الشكل(2):بنية LUT

يتم تصمم بنية LUT عادةً باستخدام المضاعف N: 1 مع ذاكرة (أي هناك N دخل وخرج وحيد) وذاكرة Nx1 بت[5].

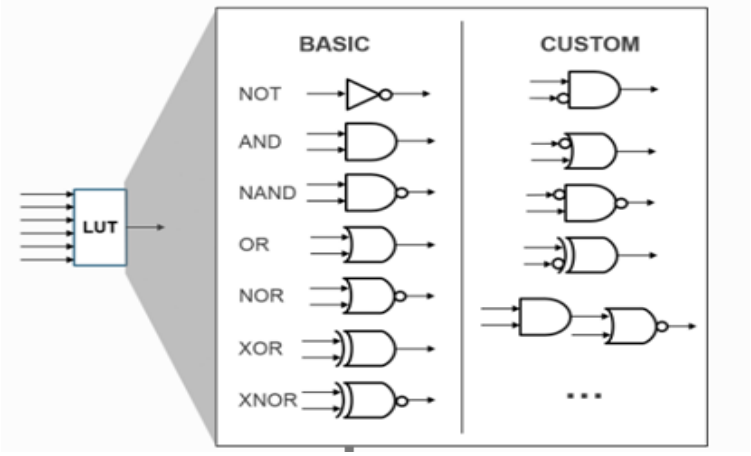
2- هدف البحث:

في هذا البحث سيتم تصميم خلية LUT،التي تشكل وحدة بناء الوظائف المنطقية باستخدام تقنيتين مختلفتين: تقنية Static or Conventional CMOS ،وتقنيةGDI) Gate Diffusion Input) بالاعتماد على عدة تقنيات تصنيع وهي CMOS 90nm و CMOS 0.65nm،CMOS 45nm ،بالإضافة الى دراسة الأعطال باستخدام خوارزميةD-algorithm. تمت مقارنة مساحة الرقاقة واستهلاك الطاقة، وذلك من خلال برنامج DSCH3.5 من أجل تصميم الوحدة، وبرنامج MICROWIND 3.5 من أجل رسم ومحاكاة الخريطة الفيزيائية Layout.

3- طرائق البحث ومواده:

3-1- خلية LUT (Look-Up Table)

لفهم كيفية عمل دارات FPGAs، من المفيد فهم وحدة حسابها الأساسية على الرغم من أن FPGA الحديثة تحتوي على مجموعة واسعة من المكونات، إلا أنها في جوهرها مجموعة كبيرة من جداول البحث القابلة للبرمجة (LUTs)، تعتبر LUT الوحدة الأساسية لبناء الوظائف المنطقية في FPGA حيث يحدد سلوك LUT وفقاً لقيم متجة الدخل في اختيار موقع الذاكرة المرغوب، ويمكن لوحدة LUT تنفيذ أي معادلة منطقية، هذه الخاصية موضحة في الشكل (3). يتم ربط سلاسل LUT أو تجميعها لتنفيذ معادلات منطقية معقدة [5].

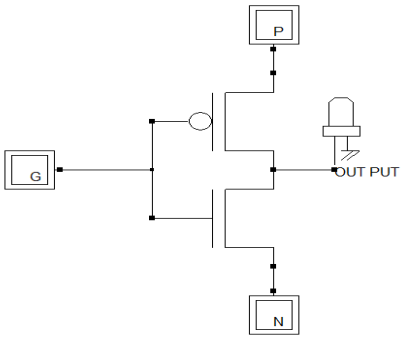


الشكل(3): توضيح الوظائف المنطقية التي يمكن تنفيذها باستخدام LUT.

3-2- تقنية GDI:

انتشرت في الآونة الأخيرة تقنية Gat Diffusion Input- (GDI) بشكل كبير في عالم تصميم الإلكترونيات الرقمية، حيث لجأ معظم مصممين الدارات الرقمية إلى هذه التقنية وذلك لبساطتها وقدرتها على الحد من استهلاك الطاقة بسبب قلة عدد الترانزستور اللازمة لتصميم الدارة الرقمية.

تعتمد تقنية GDI على استخدام خلية بسيطة مكونة من ترانزستورين نوع NMOSو PMOS مع أربع نهايات هي: G مدخل البوابة المشتركة للترانزستورات NMOS وPMOS، P مدخل الترانزستور(PMOS)، N مدخل الترانزستور NMOS وOUTPUT وهو خرج مشترك للترانزستورين[6].



الشكل (4): البنية الأساسية لخلية GDI.

تتشابه خلية GDI من حيث البنية مع الخلية الأساسية لبنية العاكس CMOS، ولكن هناك بعض الاختلافات الرئيسية والمهمة حيث تتميز خلية GDI بأن المنبع (S) للترانزستور PMOS غير متصل بقطب التغذية VDD وكذلك المنبع (S) للترانزستور NMOSغير متصل GND.

يوضح الجدول كيف ان تغيير بسيط في إشارة الدخل لخلية GDI يؤدي إلى تحقيق وظيفة منطقية مختلفة[7].

الجدول (1):الوظائف المنطقية التي يمكن تحقيقها باستخدام GDI

N	P	G	Out	Function
0	B	A	$\bar{A}B$	F1
B	1	A	$\bar{A}+B$	F2
1	B	A	A+B	OR
B	0	A	AB	AND
C	B	A	$\bar{A}B+AC$	MUX
0	1	A	$\bar{A}$	NOT

4- الدارة العملية:

بعد التعرف على جداول البحث Look-Up Table والتعرف على تقنية GDI سيتم بناء خلية LUT-3 بتقنيتين مختلفتين وتحليل أداء البنيتين وبعد ذلك الانتقال إلى دراسة الأخطاء الممكنة.

4-1- بناء الوظيفة المنطقية باستخدام بنية LUT التقليدية:

إن بناء الوظيفة المنطقية باستخدام بنية LUT التقليدية هو عبارة عن مجموعة من مواقع ذاكرة مع MUX 2*1 يتعلق عدد النواخب بعدد مداخل وحدة LUT.

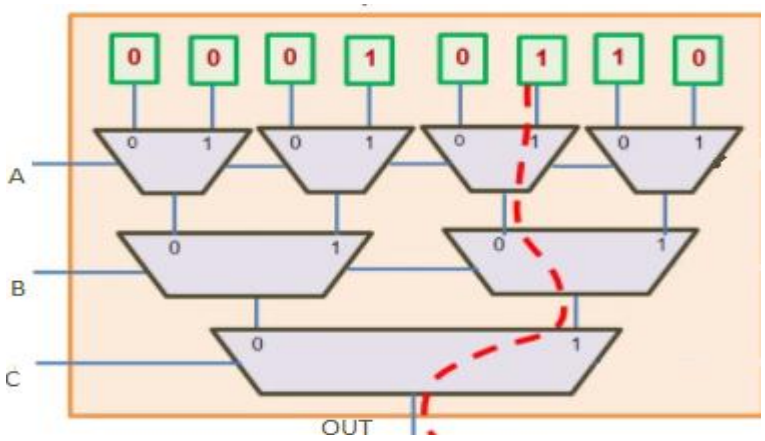
4-1-1- بنية LUT التقليدية باستخدام برنامج DSCH:

في الجدول التالي الوظيفة المنطقية المرغوب بتصميمها:

لنفترض أننا نريد تحقيق دالة منطقية المكونة من ثلاث متغيرات دخل A و B و C باستخدام LUT-3.

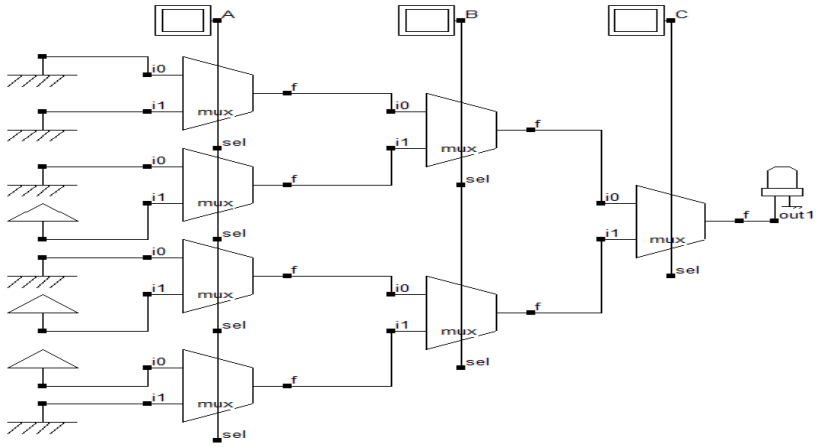
الجدول (2): الوظيفة المنطقية المراد تصميمها.

A	B	C	Out
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0



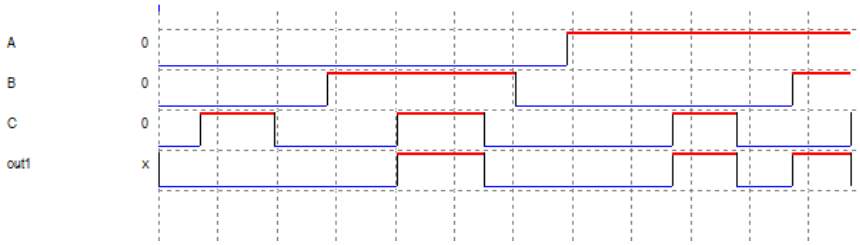
الشكل (5): بنية LUT للوظيفة المرغوب تحقيقها

إذا كان ABC = 101، فإن خرج وحدة LUT، سوف يأخذ القيمة 1 حيث أن محتوى خلية الذاكرة السادسة ستظهر في الخرج كما هو موضح في الخط المنقط في الشكل(5). من أجل محاكاة هذه البنية اعتمدنا على برنامج DSCH3.5 كما هو في الشكل (6).



الشكل (6): تحقيق الوظيفة المنطقية باستخدام برنامج DSCH.

في الشكل (7) نتائج المحاكاة وذلك من أجل المداخل ABC.

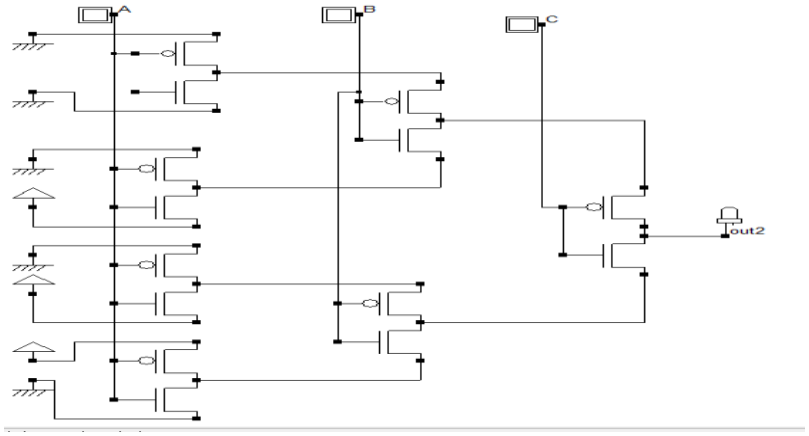


الشكل(7): نتائج محاكاة خلية LUT باستخدام البنية التقليدية.

يبين الشكل (7) تمثيل لجدول(2) باستخدام البنية التقليدية (استخدام النواخب) يأخذ الخرج قيمة واحد منطقي فقط عند وجود قيمة واحد منطقي مطبقة على مدخلين من المداخل الثلاث.

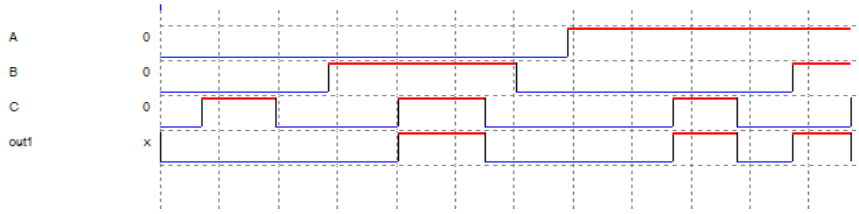
4-1-2- تصميم خليةLUT باستخدام تقنية GDI:

تم الاعتماد على برنامج DSCH3.5 لبناء بنية LUT باستخدام تقنية GDI كما هو مبين في الشكل (8).



الشكل(8): الوظيفة المنطقية المطلوب تنفيذها باستخدام برنامج DSCH بتقنية GDI.

يبين الشكل (9) نتائج المحاكاة وذلك من أجل المداخل ABC.



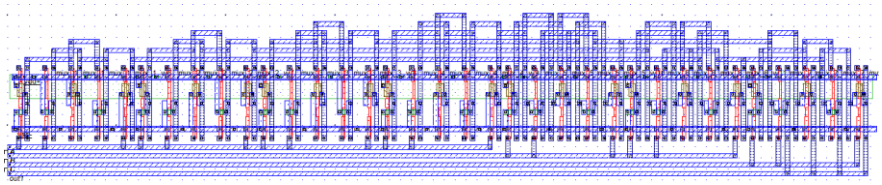
الشكل (9) : نتائج المحاكاة بتقنية GDI باستخدام برنامج DSCH.

يبين الشكل (9) تمثيل لجدول(2) باستخدام البنية GDI يأخذ الخرج قيمة واحد منطقي فقط عند وجود قيمة واحد منطقي مطبقة على مدخلين من المداخل الثلاث.

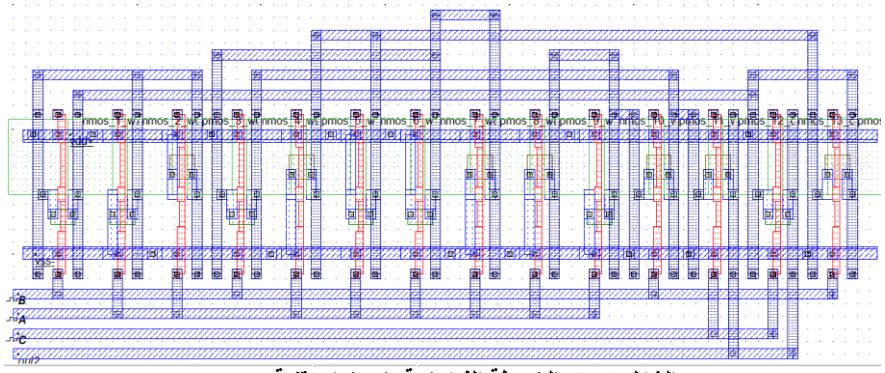
4-2- رسم الخريطة الفيزيائية Layout:

من أجل رسم ومحاكاة الخريطة الفيزيائية Layout تم الاعتماد على برنامج MICROWIND 3.1 وعلى ملف الوصف البنوي بلغة Verilog.

الشكل (10) يبين الخريطة الفيزيائية "layout" لخلية LUT بتقنية Static CMOS و الشكل (11) يبين الخريطة الفيزيائية "layout" لخلية LUT بتقنية GDI.



الشكل (10) التصميم على مستوى الترانزستور للبنية التقليدية static CMOS.



الشكل (11): الخريطة الفيزيائية باستخدام تقنية GDI.

بالمقارنة بين الشكلين (12) والشكل (11) نلاحظ تعقيد البنية في حالة بناء بتقنية static CMOS مقارنة بتقنية GDI.

4-3- اكتشاف الأعطال في بنية LUT:

4-3-1- اكتشاف الأعطال:

يجب التمييز بين ثلاث مصطلحات مرتبطة باكتشاف الأخطاء وهي Failures و errors و faults:

- Fault (عطل): يوجد عطل في النظام عندما يكون هناك اختلاف ملموس physical بين النظام الجيد أو الصحيح والنظام الحالي.

- Error (خطأ): نقول عن نظام أنه في حالة الخطأ عندما تختلف حالته عن الحالة التي يجب أن يكون عليها من أجل تقديم الخدمة المحددة يحدث Error بسبب fault (أي أن النظام قادر على تقديم خدمة ولم يتوقف عن العمل).
- Failures (فشل): يحدث فشل في النظام عندما تختلف خدمة النظام عن الخدمة المحددة أو الخدمة التي كان ينبغي تقديمها، يحدث الفشل بسبب errors (في هذة الحالة أصبح النظام عاجز عن تقديم الخدمة المطلوبة).

تم اكتشاف الأعطال بالاعتماد على خوارزمية D- algorithm المخصصة بتحديد أشعة الاختبار الخاصة بتحديد عطل واحد في الدارات التي تعتمد على البوابات الأساسية وهي AND،OR، NAND، NOR وذلك لتوليد الخطأ وانتشاره.

ان البنية التقليدة لخلية LUT تعتمد على مواقع ذاكرة ونواخب ولا يمكن تطبيق خوارزمية ال D-algorithm على هذة البنية لأن الناخب ليس من البوابات الاساسية و بتحويل البنية LUT الى بنية تعتمد على GDI أصبح من الممكن تطبيق الخوارزميةD . نعرّف D على أنه تحول قيمة منطقية من 1 إلى 0، نعرف Ď على أنه تحول قيمة منطقية من 0 إلى 1. وبالتالي فإن D (Ď) يمكن الاعتماد عليهما لتمثيل تغير في قيمة الإشارة بسبب وجود عطل ومراقبة إشارة الخرج لمعرفة امكانية وصول هذا العطل الى الخرج.

ومن هنا نميز نوعين من البوابات: بوابة توليد العطل (التي تولد لعطل على دخلها أو على خرجها) وبوابة الانتشار وهي البوابات التي توصل العطل إلى الخرج.

في هذا البحث تم الاستفادة من بنية GDI في تشكيل جداول توليد العطل وجداول انتشاره وذلك بهدف تطبيق هذه الخوارزمية على بنية LUT.

يمكن معرفة عدد الأسلاك في خلية LUT وذلك بمعرف عدد المداخل ويعطى عدد الأسلاك في البنية بالعلاقة:

$$J= n +\sum_{i=0}^{i=n} 2^{n-i} \quad (1)$$

N: عدد المداخل بالاعتماد على جدول الحقيقة الخاص بوحدة GDI تم بناء جداول توليد وانتشار الخطأ الخاصة بخوارزمية D.

جدول(3): جدول الحقيقة الخاص ببنية GDI.

N	P	G	OUT
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

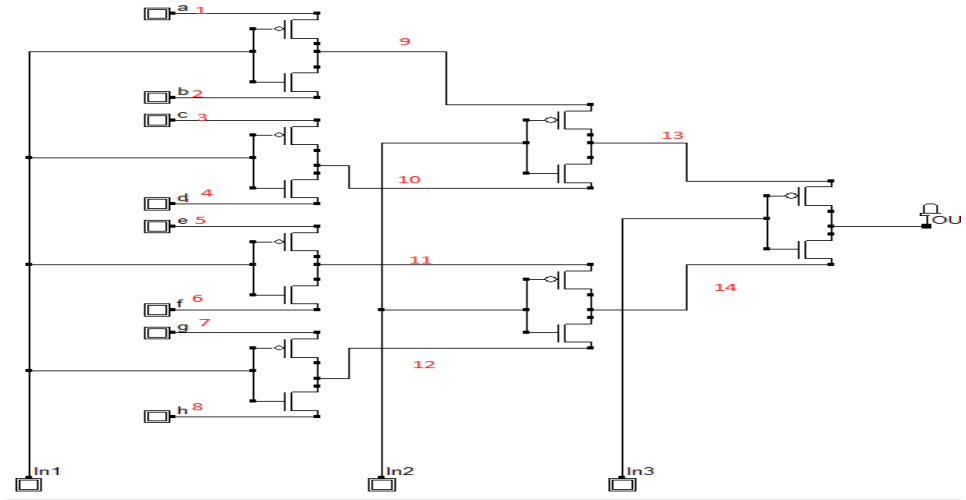
جدول(4): جدول توليد الخطأ.

N	P	G	OUT
0	X	0	Ď
X	0	1	Ď
1	X	0	D
X	1	1	D

جدول(5): جدول الانتشار الخطأ.

N		P		G	OUT
X	X	Ď	D	1	D
D	Ď	X	X	1	X
X	X	Ď	D	0	X
D	Ď	X	X	0	D

باستخدام العلاقة (1) نجد أن عدد الأسلاك في بنية LUT-3 هو 18 سلكاً يتم استبعاد أخطاء الدخل والخرج، وعليه فإن عدد الأسلاك التي يتم دراستها يبلغ عددها 14 سلكاً ومن خلال تطبيق الجداول السابقة على بنية LUT-3 نحصل على الجدول الذي يميز كل خطأ.



الشكل(12):خلية LUT-3.

جدول (6): أشعة الدخل الخاصة بكل خطأ.

رقم السلك	نوع الخطأ المحتمل	شعاع الدخل الخاص بكشف الخطأ
1	stuck@0،stuck@1	000
2	stuck@0،stuck@1	100
3	stuck@0،stuck@1	010
4	stuck@0،stuck@1	110
5	stuck@0،stuck@1	001
6	stuck@0،stuck@1	101
7	stuck@0،stuck@1	011
8	stuck@0،stuck@1	111
9	stuck@0،stuck@1	X00
10	stuck@0،stuck@1	X10
11	stuck@0،stuck@1	X01
12	stuck@0،stuck@1	X11
13	stuck@0،stuck@1	XX0
14	stuck@0،stuck@1	XX1

5- النتائج والمناقشة:

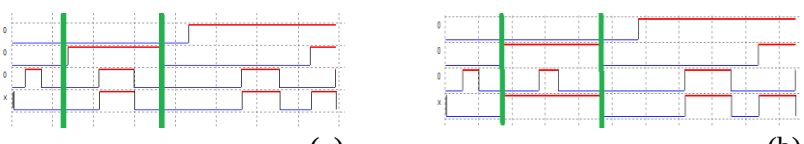
5-1- حقن الأعطال:

من أجل الدارة السابقة تم حقن العطل من نوع stuck@1 من أجل السلك الذي يحمل الرقم 10، تم تطبيق شعاع دخل 010 فمن المتوقع أن يكون على الخرج قيمة 0 منطقي ولكن بسبب عطل من النوع stuck@1 في السلك 10 أصبح الخرج له القيمة 1.

بتطبيق خطوات خوارزمية الD وفق التالي نجد:

A	B	C	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0					0							D					
0	1				0							D			D		
0	1	0			0							D			D		D

عند حدوث خطأ في السلك رقم 10 من النوع stck-@1 فإن قيمة السلك الصحيحة هي 0 ولتوليد هذا اعطل لا بد أن تكون قيمة الدخل A=0 وقيمة السلك 3 هي 0 ولضمان انتشار الخطأ إلى الخرج يجب أن تكون قيمة الأسلاك B=1 و C=0 ونلاحظ هنا أن العطل ينتشر اعبر الأسلاك التي أرقامها 13و15 بتطبيق المحاكاة على هذا الخطأ نجد:

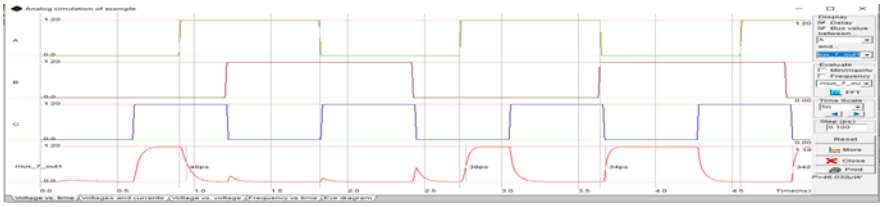


(a) (b)

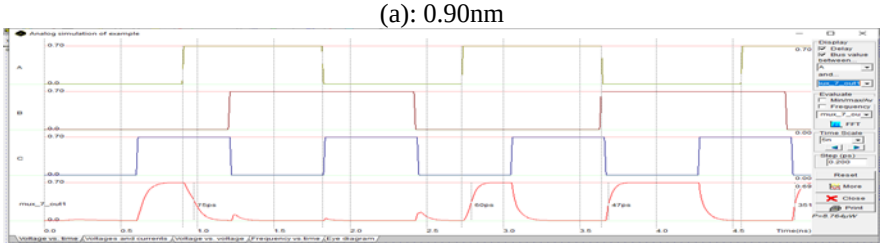
5-2- تحليل أداء البنية:

ومن أجل مقارنة الأداء من حيث مساحة الرقاقة والطاقة المستهلكة لكلا الدارتين، فإن رسم الخريطة الفيزيائية Layout للدارتين تم بالاعتماد على عدة تقنيات لتصنيع الدرات الإلكترونية وهي: CMOS 0.90nm، CMOS 0.65 nm، CMOS 0.45 nm.

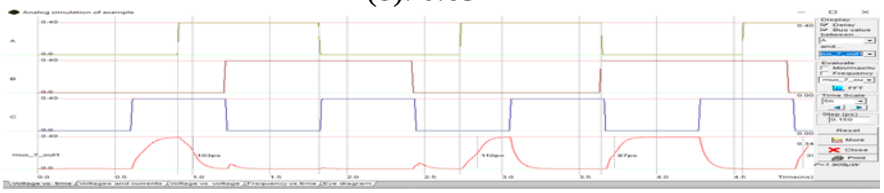
الشكل (13) يبين نتائج محاكاة الخريطة الفيزيائية "layout" لخلية LUT بتقنية Static CMOS.



(a): 0.90nm



(b): 0.65nm



(c): 0.45nm

الشكل(13): نتائج محاكاة الخريطة الفيزيائية "layout" لخلية LUT بتقنية static CMOS.

يسمح برنامج MICROWIND 3.1 بحساب مساحة الرقاقة والطاقة المستهلكة لكل تقنية مستخدمة حيث يتم حساب الطاقة المستهلكة من المعادلة التالية [8]:

P=Supply voltage (Vdd)* Current (I)

تم حساب مساحة الرقاقة والطاقة المستهلكة لتصميم بتقنية Static CMOS.

الجدول(7): مساحة الرقاقة والطاقة المستهلكة لخلية LUT بتقنية static CMOS.

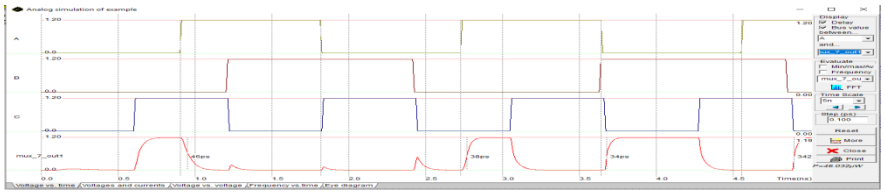
التقنية المستخدمة (nm)	0.90	0.65	0.45
مساحة الرقاقة (μm^2)	561.7	275.2	140
الطاقة المستهلكة (µw)	74.106	14.596	3.198

نلاحظ من الجدول السابق أن مساحة الرقاقة قد انخفضت بمقدار 51% عند الانتقال من تقنية CMOS 0.90nm إلى تقنية CMOS 0.56nm وبمقدار 75% عند الانتقال إلى تقنية CMOS 0.45nm.

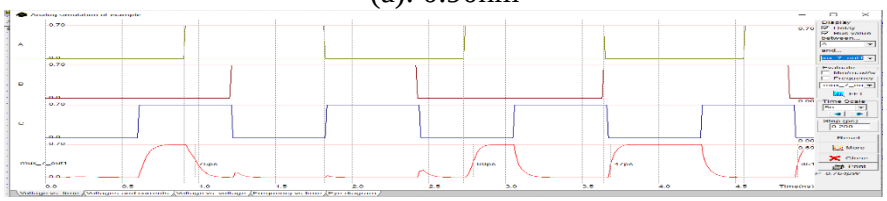
فيما يخص الطاقة المستهلكة نلاحظ أن الطاقة المستهلكة انخفضت بمقدار 81% عند الانتقال من تقنية CMOS 0.90nm إلى تقنية CMOS 0.65 nm وبمقدار 96% عند الانتقال إلى تقنية CMOS 0.45nmويعود سبب النقصان في استهلاك الطاقة إلى زيادة جهد التغذية المستخدم في التقنية CMOS

0.90nm حيث Vdd=1.2[V] بينما في تقنية CMOS 0.65nm فإنه Vdd=0.7[V] بينما في تقنية CMOS 0.45 فإنه Vdd=0.4[V].

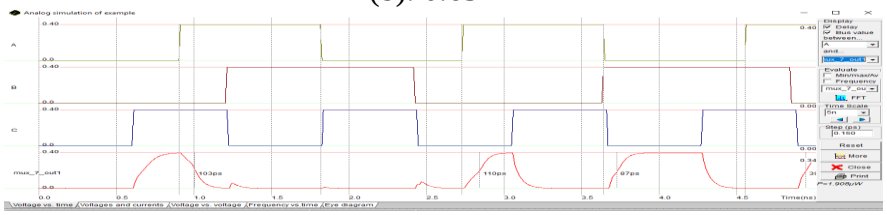
الشكل (14) يبين نتائج محاكاة الخريطة الفيزيائية "layout" لخلية LUT بتقنية GDI.



(a): 0.90nm



(b): 0.65nm



(c): 0.45nm

الشكل (14): نتائج محاكاة الخريطة الفيزيائية "layout" لخلية LUT بتقنية GDI.

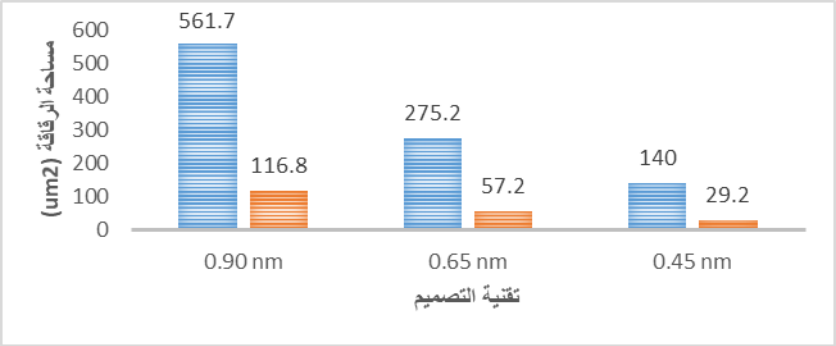
يبين الجدول (8) مساحة الرقاقة والطاقة المستهلكة لكل تقنية من التقنيات السابقة من أجل الخلية المنطقية LUT بتقنيةGDI.

الجدول (8): مساحة الرقاقة والطاقة المستهلكة لخلية LUT بتقنية GDI.

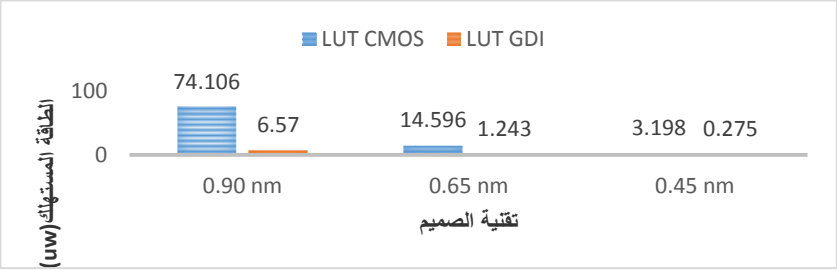
التقنية المستخدمة (nm)	0.90	0.65	0.45
مساحة الرقاقة (μm^2)	116.8	57.2	29.2
الطاقة المستهلكة (µw)	6.570	1.243	0.275

نلاحظ أن استجابة الخرج للواحد المنطقي والصفر المنطقي تكون مشوهة في بعض الأحيان والسبب يعود إلى أن وجود الترانزستورين NMOS و PMOS في مرحلة الخرج حيث يستطيع الترانزستور PMOS تمرير الـ '1' المنطقي بشكل واضح، ولكن لا يمكن أن يمرر الـ '0' المنطقي تمامًا. ومن جهة ثانية يستطيع الترانزستور NMOS تمرير الـ '0' المنطقي بشكل واضح، ولكن لا يمكن أن يمرر الـ '1' المنطقي تمامًا.

الشكل (15) يبين نتائج المقارنة بين الدارتين السابقتين من حيث مساحة الرقاقة والشكل (16) يبين نتائج المقارنة بين الدارتين السابقتين من حيث الطاقة المستهلكة.



الشكل (15): المقارنة بين Static CMOS و GDI من حيث مساحة الرقاقة لخلية LUT-3.



الشكل (16): المقارنة بين Static CMOS و GDI من حيث الطاقة المستهلكة لخلية LUT-3.

كما هو واضح من نتائج المقارنة فإن التصميم بتقنية GDI أفضل من حيث مساحة الرقاقة ومن حيث الطاقة المستهلكة مهما كانت التقنية المستخدمة.

بعد تعديل بنية LUT أصبح من الممكن تطبيق خوارزمية D مباشرة على هذا المستوى بدلاً من دراسة كل خطأ ممكن في بنية ال MUX، عند تطبيق أشعة الاختبار على الدارة تم تحقيق نسبة تغطية 100% للأخطاء المحتمل حدوثها.

6- الاستنتاجات والتوصيات:

في هذا البحث تمت دراسة خليتين LUT-3 وهما: خلية LUT-3 بتقنية Static CMOS والتي تتألف من 42 ترانزستور. أما الخلية الثانية فهي LUT-3 مصممة بتقنية GDI والتي تتألف من 14 ترانزستور. تمت دراسة الخريطة الفيزيائية للخليتين، وبمقارنة نتائج المحاكاة نلاحظ أن التصميم بتقنية GDI أفضل من حيث مساحة التصميم واستهلاك الطاقة، ويعود ذلك إلى العدد القليل من الترانزستورات المستخدمة في التصميم وبنسبة توفير في تقنية GDI في المساحة تصل إلى 79%، ونسبة توفير في الطاقة تصل إلى 92% بالنسبة لتقنية Static CMOS، بعد تعديل بنية LUT أصبح من الممكن تطبيق خوارزمية D مباشرة على هذا المستوى بدلاً من دراسة كل خطأ ممكن في بنية ال MUX، عند تطبيق أشعة الاختبار على الدارة تم تحقيق نسبة تغطية 100% للأخطاء المحتمل حدوثها.

المراجع:

[1] Jan, M. R; Chandrakasan, A; Nikolic, B. *Digital Integrated Circuits–A Design Perspective. (2003).*

[2] Pucknell, D. A; Kamran, E. *Basic VLSI design: systems and circuits*. Englewood Cliffs, New Jerseym, USA: Prentice Hall, (1988).

[3] Rehman,U. R. *Development of test and diagnosis techniques for hierarchical mesh-based FPGAs.* TIMA - Techniques de l'Informatique et de la Microélectronique pour l'Architecture des systèmes intégrés. (2015).

[4] ITRS International technology roadmap for semiconductors: Executive summary. Semiconductor Industry Association، Tech. Rep. (2013).

[5]www.allaboutcircuits.com/technical-articles/purpose-and-internal-functionality-of-fpga-look-up-tables/ 09/11/2017

[6] Rathi, A, S; Jain, M , Saha, A. *Gate Diffusion Input: A technique for fast digital circuits (implemented on 180 nm technology*. IOSR Journal of VLSI and Signal Processing (IOSR-JVSP) , Vol. 2: 49-53. (2014).

[7] Kumre, G L;Somkurwar. *Analysis of GDI Technique for Digital Circuit Design.* International Journal of Computer Applications.Vol.76,No.16,page41-48.(2013).

[8]Sreelatha, P, P; Lakshmi, K; Rameshwar, R. *Performance analysis of 1-bit full adder using different design techniques*. IEEE International Conference on Recent Trends in Electronics, Information & Communication Technology (RTEICT), pp. 2262-2266. IEEE, (2017).

[9]www.rapidwright.io/docs/FPGA_Architecture.html#lookup-tables-luts/ 16/10/2019

[10] Fan; Xiaoxin. *Fault diagnosis of VLSI designs: cell internal faults and volume diagnosis throughput*. PhD (Doctor of Philosophy) thesis, University of Iowa, (2012).

[11]Shoba ,M ; Rangaswaamy , N. *Energy and area efficient hierarchy multiplier architecture based on Vedic mathematics and GDI logic*, Engineering Science and Technology, an International Journal Volume 20, Issue 1, Pages 321-331.(2017).

[12] Bansal ,M ; Singh, J .*Comparative Analysis of 4-bit CMOS Vedic Multiplier and GDI Vedic Multiplier using 18nm FinFET Technology,* International Conference on Smart Electronics and communication (ICOSEC) ,(2020).

[13] Geetha, S ,P. *Design of High Speed Error Tolerant Adder Using Gate Diffusion Input Technique,* Journal of Electronic Testing volume 35, pages383–400 , (2019).

[14] Kiruthiga ,S ; Shangeeth ,M ; Rajesh ,K; Sowndarya ,R.*LFSR using CDFF and GDI,* International Conference on Advanced Computing and Communication Systems (ICACCS),(2020).