مجلة جامعة طرطوس للبحوث والدراسات العلمية _ سلسلة العلوم الهندسية المجلد (5) العدد(8) 2021

Tartous University Journal for Research and Scientific Studies - engineering Sciences Series Vol. (5) No. (8) 2021

تصميم الذواكر الرقمية باستخدام تقنية النقاط الكمومية

د. حسن البستاني *

م. سالي كناج *

(تاريخ الإيداع 6 /6 /2021 . قُبِل للنشر في 5 /10 /2021)

□ ملخّص □

وفقًا لجوردن مور (1965)، فإنَّ عدد الترانزستورات التي يمكن دمجها في شريحة واحدة سيتضاعف كلّ 18 شهرًا. وبالتالي فإنَّ صناعة وتصميم الدرات المتكاملة التي كانت تعتمد بشكل أساسي على تقنية CMOS مجبرة الآن على البحث عن بدائل أخرى، حيث تواجه تقنية CMOS قيود متزايدة مثل التأثيرات الكمومية والسلوك غير المحدّد للتيارات الصغيرة والحدود التكنولوجية مثل الاستهلاك العالي للطاقة وتعقيد التصميم. إنَّ تقنية النقاط الكمومية QCA هي إحدى تقنيات النانو الحديثة والمناسبة لتطوير الدوائر الرقمية عالية الأداء (منخفضة الطاقة وفائقة الكثافة).

هذا البحث يقدّم التصميم والمحاكاة لذاكرة الوصول العشوائي الستاتيكية (SRAM) bits 2×4 مع بنية جديدة في QCA.

الكلمات المفتاحية: تكنولوجيا النانو، النقاط الكمومية، ذاكرة الوصول العشوائي الستاتيكية، بوابة ناخب الأكثرية، مفكك الترميز.

* مدرّس– كلية هندسة تكنولوجيا المعلومات والاتصالات– جامعة طرطوس– طرطوس– سورية.

**طالبة ماجستير– كلية هندسة تكنولوجيا المعلومات والاتصالات– جامعة طرطوس– طرطوس– سورية.

مجلة جامعة طرطوس للبحوث والدراسات العلمية _ سلسلة العلوم الهندسية المجلد (5) العدد(8) 2021

Tartous University Journal for Research and Scientific Studies - engineering Sciences Series Vol. (5) No. (8) 2021

Designing digital memories using quantum dot cellular automation technology

Dr. Hasan Albustani*
Eng. Sally Knaj**

(Received 6 /6 / 2021 . Accepted 5 / 10 / 2021)

□ ABSTRACT □

According to Gordon Moore (1965)، the number of transistors that can be integrated on to a single chip will double every 18 months. Thus, the manufacture and design of integrated circuits that were primarily based on CMOS technology is now forced to search for other alternatives where CMOS technology having certain limitations like quantum effects and non-deterministic behavior of small currents and technological limits such as high power consumption and design complexity. QCA is one of the new alternative nano technology. This technology is suitable for development of ultra-dense low-power high-performance digital circuits.

This research presents the design and simulation of a 4×2 bits static random access memory (SRAM) with a new structure in QCA.

Keywords: Nanotechnologies، Quantum dots، SRAM memory، Majority gate، Decoder.

*Assistant Professor، Faculty of Information and Communication Technology، Tartus University، Tartus، Syria.

**Master Student، Faculty of Information and Communication Technology، Tartus University، Tartus، Syria.

1- مقدمة:

على الرغم من كون تكنولوجيا CMOS التكنولوجيا الأساسية في تصنيع الدوائر الالكترونية، إلّا إنّها تواجه قيود فيزيائية في عملية التصميم مثل الاستهلاك المرتفع للطاقة نتيجة تيار التسريب، والحاجة لتصميم الدوائر بحجم ومساحة أقل [1].

إنَّ الحاجة إلى تصميم دارات وأنظمة الكترونية بأداء مرتفع ومساحة أقل دفع العلماء إلى التفكير بعدّة خيارات منها اعتماد تقنيات تصنيع ترانزستورات CMOS بأبعاد نانو مترية صغيرة [2] واستخدام النظم المضمنة من أجل تحسين الأداء وتقليل استهلاك الطاقة [3] وكذلك تصميم دارات بعدد بلوكات أقل على شريحة FPGA مفردة [4] وتعدّ تكنولوجيا النقاط الكمومية الخلوية QCA من أهم التقنيات الحديثة المستخدمة وهي تقنية جديدة يمكنها التغلّب على مشاكل CMOS حيث تتيح تصميم دوائر الكترونية بتردد عالٍ ومساحة أقل واستهلاك منخفض للطاقة نتيجة عدم وجود تيار كهربائي في دارات QCA وكذلك تقديم كثافة عالية وتأخير أقل [5].

2- أهداف البحث:

تمَّ تقديم العديد من التصاميم للدارات الحسابية والمنطقية بالاعتماد على تقنية QCA، مثل وحدة الحسابAU [6] والقلابات Flip Flops [7] والمحوّل تسلسلي تفرعي serial to parallel converter [8] وغير ذلك من التصاميم المنطقية بالإضافة لتصميم الذواكر الرقمية مثل ذاكرة الوصول العشوائي الستاتيكية SRAM حيث قدّمت الدراسات السابقة عدّة تصاميم لهذا النوع من الذواكر مثل X_bit ×32 bit SRAM المصممة بالاعتماد على حلقة مغلقة كعنصر تخزين [9] و 64_ bit SRAM المعتمدة في بنيتها على الناخب [10].

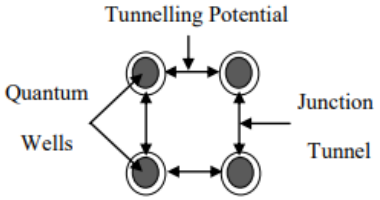
يهدف بحثنا هذا إلى تقديم تصميم جديد لذاكرة 4×2 bit SRAM باستخدام تقنية النقاط الكمومية وبالاعتماد على دارة القلاب D.

3- طرائق البحث ومواده:

3-1 النقاط الكمومية

اقترح مبدأ النقاط الكمومية الخلوية لأول مرة في عام 1993 من قبل Lent et al ، ثم اقترح كلّ من Craig Lent and Doug تنفيذ أنظمة ترتكز على الكمومية الخلوية الكلاسيكية المصممة باستخدام النقاط الكمومية كبديل عن الحساب الكلاسيكي باستخدام تقنية CMOS [11].

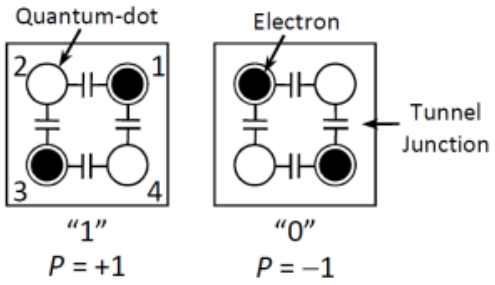
الحالة المنطقية في QCA لا تمثّل كمستويات جهد وإنّما كتموضع للالكترونات ضمن خلية مربعة تدعى الخلية الكمومية QCA cell (الشكل(1))، تنتقل الالكترونات عبر ظاهرة النفقية tunneling من نقطة كمومية لأخرى [12] [13].



الشكل(1): خلية النقطة الكمومية

3-2 حالة الاستقطاب للخلية الكمومية:

تتألف كلّ خلية من أربعة نقاط كمومية تحتوي بداخلها الكترونين فقط يتموضعان في الزوايا المتقابلة للخلية بسبب قوة التنافر الكولومبي بين الالكترونات مما يؤدي إلى اكتساب الخلية قطبية موجبة $p = +1$ وتمثّل حالة الواحد منطقي أو قطبية سالبة $p = -1$ وتمثّل حالة الصفر منطقي، كما هو موضح في الشكل(2) [14].

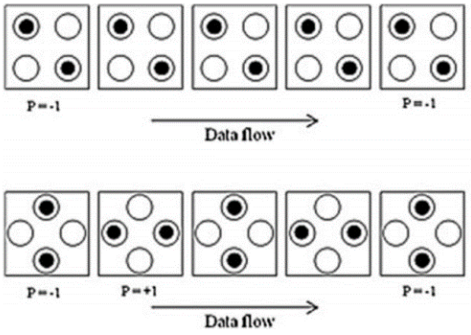


الشكل(2): تمثيل الحالات المنطقية باستخدام تقنية النقاط الكمومية

توضّح المعادلة (1) طريقة حساب القطبية للخلية الكمومية المبينة بالشكل (2) [14].

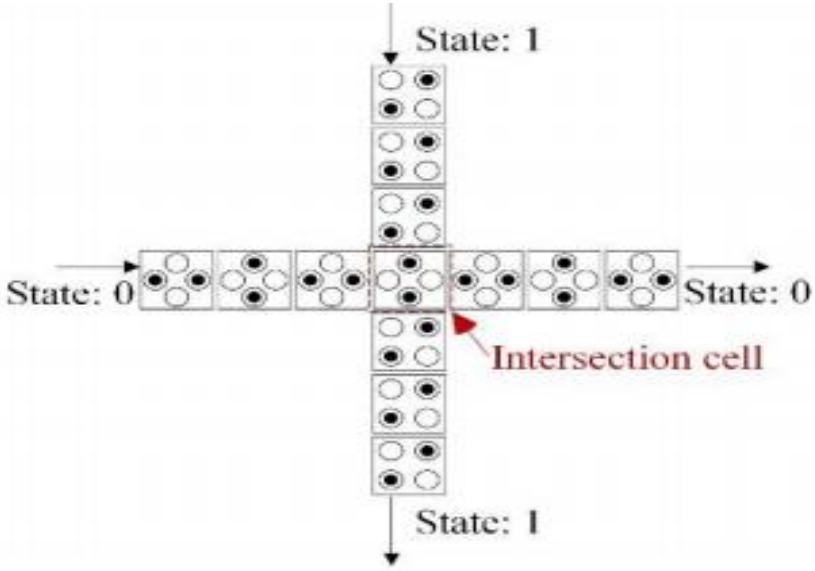
$$P = \frac{(\rho_1 + \rho_3) - (\rho_2 + \rho_4)}{\rho_1 + \rho_2 + \rho_3 + \rho_4} \qquad (1)$$

تنتقل الإشارة في QCA من مكان إلى آخر عبر أسلاك مبنية من مصفوفة خلايا متجاورة تملك نفس القطبية كما في الشكل(3) [14].

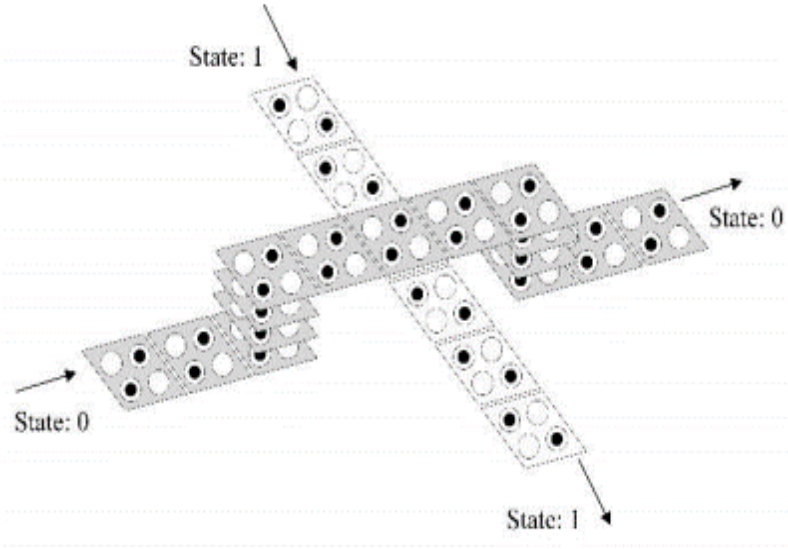


الشكل(3): انتشار الإشارة وفق تقنية النقاط الكمومية(أسلاك)

في حالة التقاطع بين الأسلاك وحتى لا يحدث خطأ أثناء انتقال الإشارات يتمّ نقل الإشارة وفق طريقتين وهما Coplanar (الشكل (4)) و Crossover (الشكل(5)) [15].



الشكل(4): انتشار الإشارة وفق طريقة Coplanar



الشكل(5): انتشار الإشارة وفق طريقة Crossover

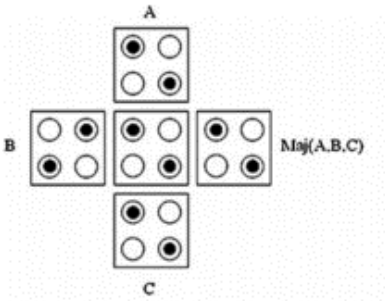
3-3 بعض الوظائف الأساسية في أتمتة الخلايا الكمومية

3-3-1 بوابة ناخب الأكثرية (Majority gate)

البوابة المنطقية الأساسية في QCA هي بوابة ناخب الأكثرية ومنها يتمّ تصميم بوابتي AND و OR من خلال تثبيت أحد مداخلها على قيمة الصفر منطقي أو الواحد منطقي توالياً وفق المعادلات المنطقية (2) [1] [7].

يمثّل الشكل (6) البنية الوظيفية لبوابة ناخب الأكثرية بثلاثة مداخل ويمثّل الشكل (7) تصميم QCA لهذه البوابة حيث يتمّ انتخاب الحالة المنطقية المكررة على اثنين من المداخل.

الشكل(6): البنية الوظيفية لبوابة ناخب الأكثرية



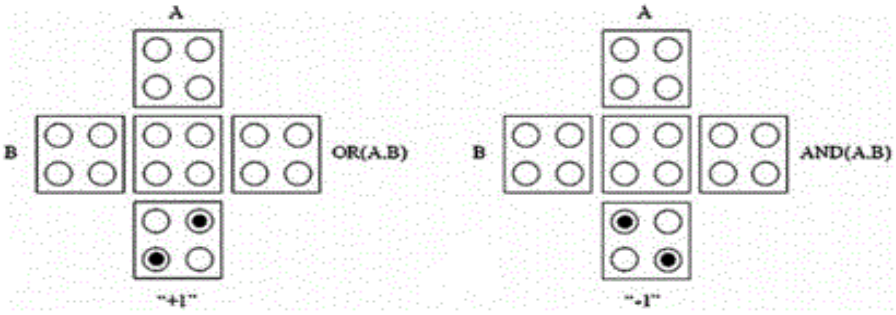
الشكل(7): تصميم QCA لبوابة ناخب الأكثرية

$$Majority\ (A,B,C) = A.B + A.C + B.C \quad (2)$$

$$Majority\ (1,A,B) = A + B$$

$$Majority\ (0,A,B) = A \cdot B$$

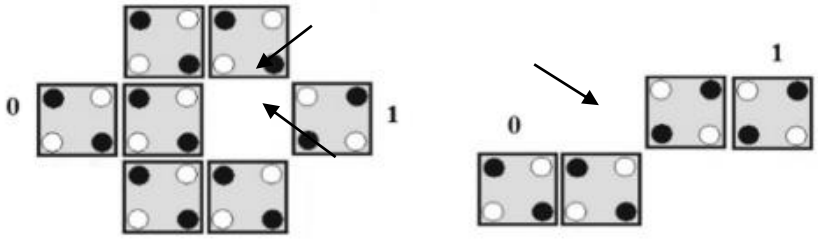
كما أنّ تصميم QCA في الشكل (8) يمثّل بوابة AND وبوابة OR اعتماداً على بوابة الأكثرية.



الشكل(8): تصميم QCA لبوابتي AND و OR

2-3-3 بوابة العاكس (Inverter Gate)

بوابة العاكس هي إحدى البوابات الأساسية في QCA وتمثّل بطريقتين كما في الشكل(9) حيث تُعكَس القيمة المنطقية المدخلة عند النقط المشار إليها بسبب التنافر الكولومبي بين الالكترونات [7].



الشكل(9): تصميم QCA لبوابة العاكس inverter gate

3-4 المناطق الزمنية في أتمتة الخلايا الكمومية

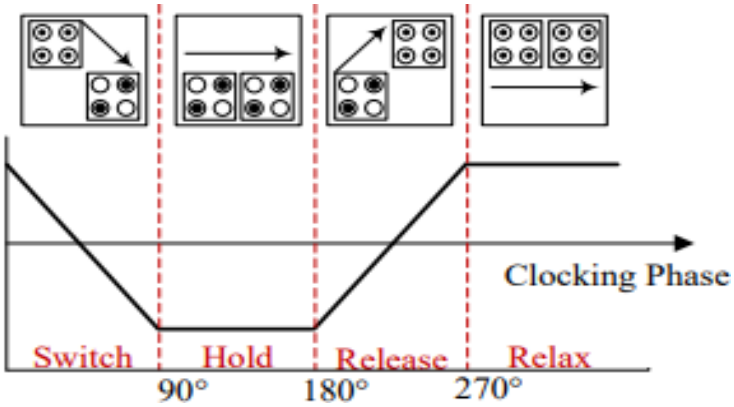
مخطط الساعة عنصر مهم في تصميم دارات QCA وعملها، حيث يعطي الاتجاه الصحيح لتدّفق المعطيات، وتتألف نبضة الساعة في QCA من أربع مناطق زمنية (الشكل(10)) [15].

منطقة التشغيل Switching: تكون الخلية بدايةً غير مستقطبة أي $p = 0$ ثم يبدأ حاجز النفقية بالارتفاع ببطء وتبدأ الخلية بالاستقطاب. وتعتمد قطبيتها على الخلية المجاورة لها التي تكون في منطقة الإمساك.

منطقة الإمساك Hold: يرتفع حاجز النفقية في هذه المنطقة بشكل كامل وتحتفظ الخلية بقطبيتها. وتتصرّف خلية QCA كخلية دخل للخلايا المجاورة التي تكون في منطقة التشغيل (الخلية مستقطبة ومستقرة).

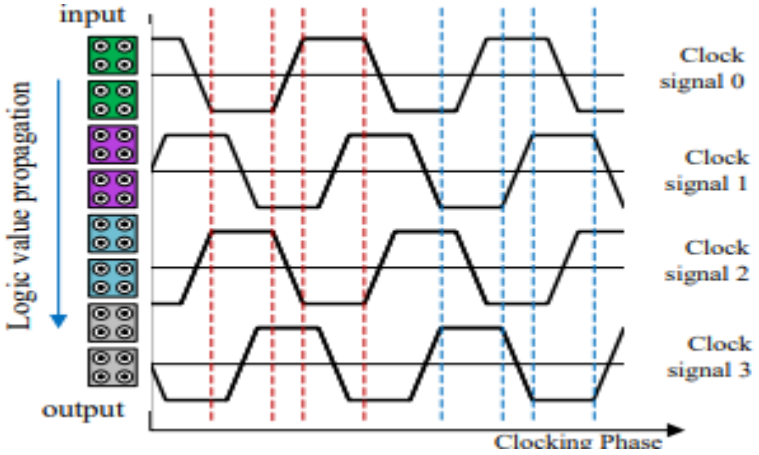
منطقة الإفلات Release: ينخفض حاجز النفقية في هذه المنطقة ببطء و تغيّر الالكترونات تمركزها مما يفقد الخلية قطبيتها (الخلية غير مستقطبة).

منطقة الاسترخاء Relax: تعود الالكترونات حرّة الحركة ولا تملك الخلية في هذه المنطقة أي تأثير على الخلايا المجاورة (الخلية غير مستقطبة ومستقرة).



الشكل(10): المناطق الزمنية لنبضة ساعة QCA

تنتشر إشارة ساعة QCA خلال المناطق الزمنية كما موضح في الشكل(11).



الشكل(11): المناطق الزمنية خلال انتشار إشارة ساعة QCA

3-5 محاكي QCADesigner

تطبيق برمجي مفتوح المصدر من مختبرات ATIPS في جامعة Calgary متاح باللغة الإنكليزية، توجد منه عدّة نسخ معدلة ولا يزال قابلاً للتعديل، ويمكن تحميله من موقع جامعة British Columbia. يهدف هذا المحاكي إلى تصميم ومحاكاة الخلايا الكمومية، حيث يسهّل التصميم والتخطيط السريع لمعظم دارات وأنظمة QCA المعقدة [16] [17].

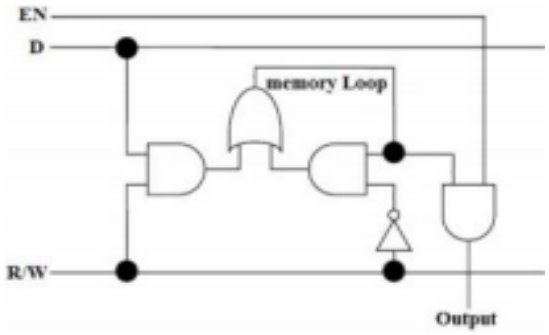
4- العناصر الرقمية:

4-1 الذواكر الرقمية (Digital Memories):

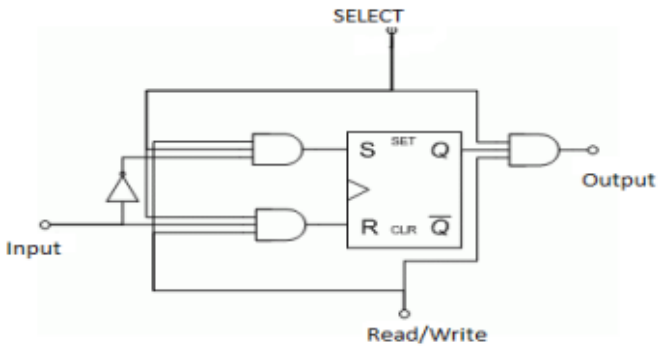
تعدّ وحدة الذاكرة جزءًا مهمًا من الأنظمة الرقمية أو أجهزة الكمبيوتر الرقمية، وهناك عدّة أنواع للذواكر منها:

ذاكرة الوصول العشوائي الستاتيكية SRAM:

تعتمد ذاكرة SRAM في عملها على تخزين المعطيات الثنائية والاحتفاظ بها طالما تزوَّد بالطاقة، توجد طريقتان للاحتفاظ بالمعطيات ضمن SRAM وهي تخزينها ضمن حلقة Loop (الشكل(12)) [18] أو بالاعتماد على القلاب Flip Flop (الشكل(13)) [19].



الشكل(12): استخدام الحلقة كعنصر تخزين ضمن خلية SRAM



الشكل(13): استخدام القلاب كعنصر تخزين ضمن خلية SRAM

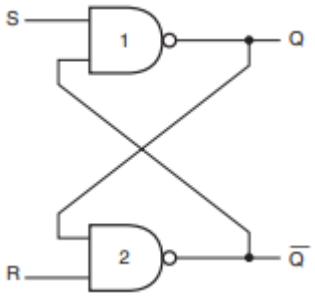
اخترنا تصميم SRAM لأنّها أفضل من DRAM بعملها حيث تخزّن DRAM المعطيات ضمنها من خلال شحن المكثف وهذا يتطلّب عملية إنعاش متكررة ممّا يسبّب بطء في عمل الذاكرة كما أنَّ سعة تخزينها محدودة [20].

2-4 القلابات (Flip Flops)

دارات منطقية تعاقبية يعتمد الخرج فيها على الدخل المطّبق والخرج السابق (تعمل كعنصر ذاكرة) [20]. يوجد أنواع عديدة للقلابات نذكر منها:

4-2-1 R-S Flip Flops:

يعتبر أبسط عنصر ذاكرة، يُبنَى من بوابتي NAND أو بوابتي NOR. يمثّل الشكل (14) بنية القلاب على مستوى البوابات باستخدام بوابتي NAND ويوضّح الجدول (1) جدول الحقيقة لعمل القلاب R-S [20].



الشكل(14): بنية القلاب R-S على مستوى البوابات

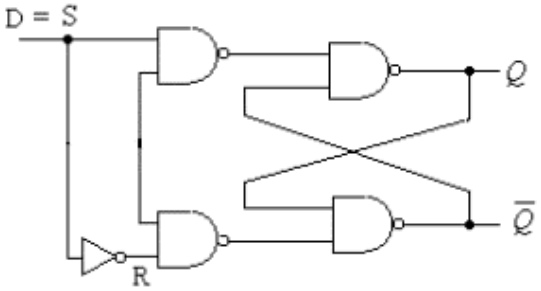
الجدول(1): جدول الحقيقة للقلاب R-S

Operation Mode	S	R	Q_{n+1}
No change	1	1	Qn
SET	0	1	1
RESET	1	0	0
Forbidden	0	0	—

تُعدّ الحالة التي تكون فيها المداخل $R = S = 1$ حالة ممنوعة منطقياً وتعتبر هذه الحالة من سيئات القلاب *R-S*.

4-2-2 D Flip Flop :

يُعتبَر هذا القلاب نسخة معدّلة من القلاب R-S للتخلّص من الحالة الممنوعة، يمثّل الشكل (15) القلاب على مستوى البوابات. ويوضح الجدول (2) جدول الحقيقة لعمل هذا القلاب [21].



الشكل(15): بنية القلاب D على مستوى البوابات

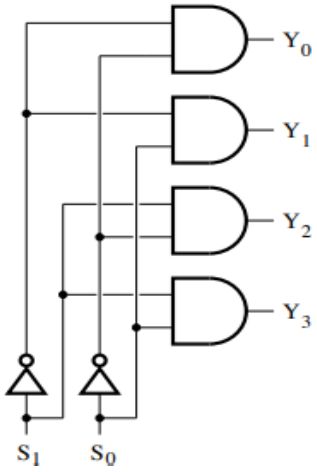
الجدول(2): جدول الحقيقة للقلاب D

D_n	Q_n	Q_{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

توجد أنواع أخرى من القلابات ولكننا في تصميمنا سنعتمد على القلاب D لأنّه أبسطها تصميماً وأقلّها تأخيراً وعدد مداخله أقل[21].

4-3 مفككات الترميز (Decoders):

دارات منطقية تعمل على فكّ ترميز المداخل لاختيار أحد المخارج من أجل قراءة أو كتابة المعطيات منه أو إليه. ويمثّل الشكل (16) الدارة المنطقية لمفكك الترميز 2:4 على مستوى البوابات ويعطى جدول الحقيقة لهذا المفكك (الجدول(3)) [22].



الشكل(16): بنية مفكك الترميز 2:4 على مستوى البوابات

الجدول(3): جدول الحقيقة لمفكك الترميز 2:4

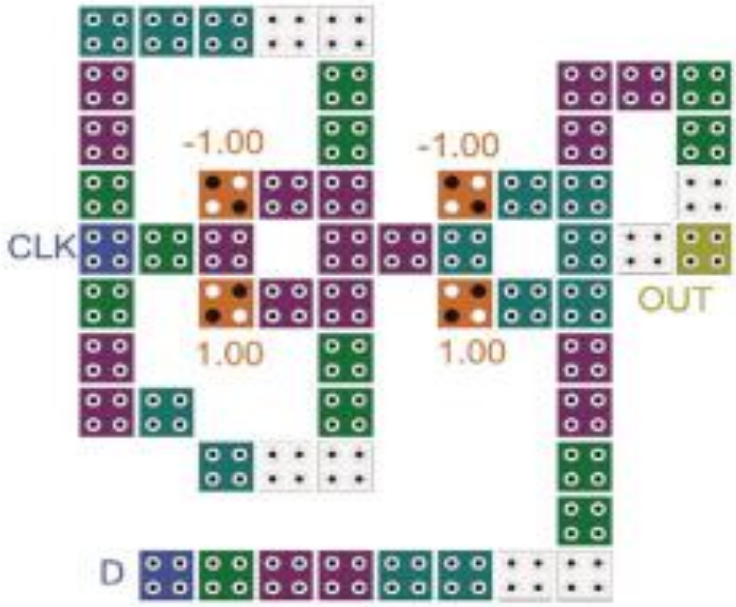
S_1	S_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

5- الدارة العملية:

سنقوم بعرض التصاميم الكمومية لبعض العناصر الرقمية من أجل تصميم ذاكرة SRAM 2×4.

5-1 التصميم الكمومي للقلّاب:

يهدف بحثنا إلى تصميم ذاكرة SRAM باستخدام القلاب D ثنائي الحافة كعنصر تخزين يعمل متزامناً مع نبضة الساعة وأُعتمِدَ هذا القلاب لأنّه من أحدث النسخ المعدلة في عام 2018 [7] ويحقق الغرض المطلوب من التصميم من حيث تخفيض عدد الخلايا والتأخير. يوضّح الشكل(17) تصميم القلاب *D* ثنائي الحافة المستخدم في هذا البحث باستخدام تقنية QCA.



الشكل(17): تصميم القلاب D ثنائي الحافة باستخدام تقنية QCA

يبيّن الجدول(5) جدول الحقيقة للقلاب D ثنائي الحافة:

الجدول(5): جدول الحقيقة للقلاب D ثنائي الحافة

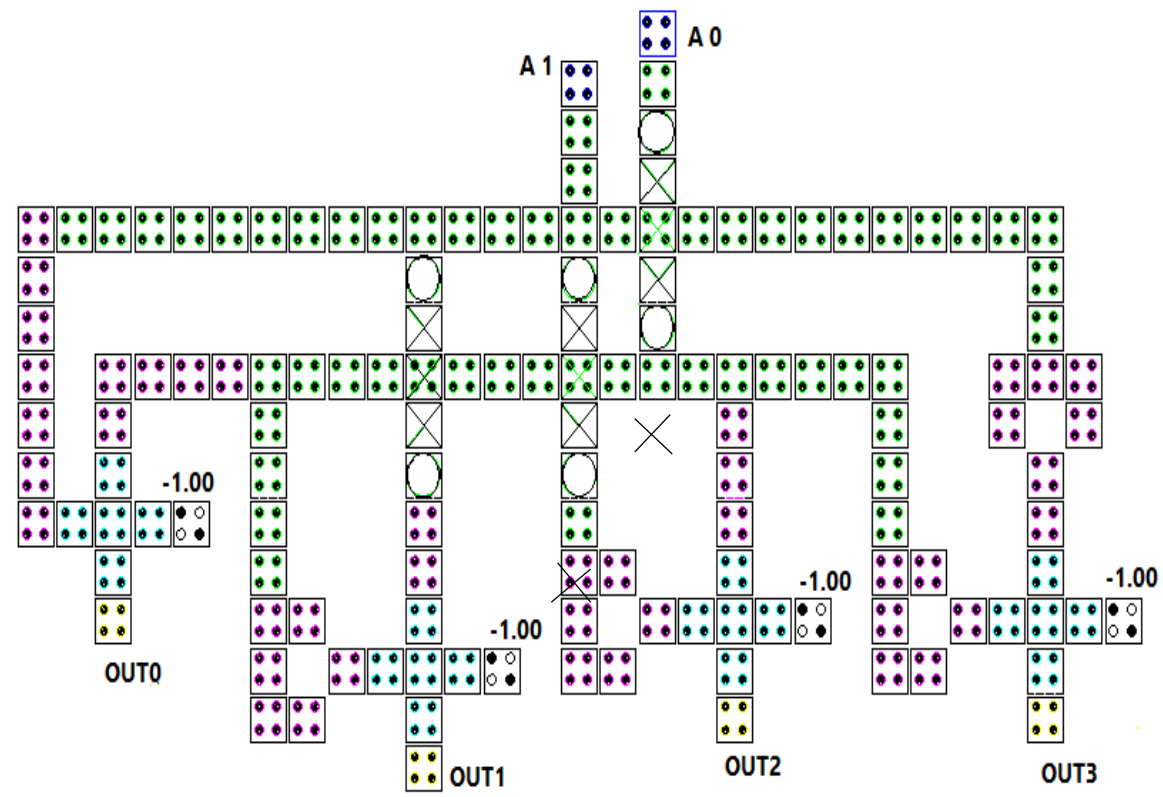
CLK(t-1)	CLK(t)	D	OUT
0	0	0	Q(t-1)
0	0	1	Q(t-1)
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	Q(t-1)
1	1	1	Q(t-1)

من جدول حقيقة القلاب D ثنائي الحافة نلاحظ انّه يأخذ بالاعتبار قيمة نبضة الساعة السابقة $CLK(t-1)$ وكذلك نبضة الساعة الحالية $CLK(t)$.

5-2التصميم الكمومي لمفكك الترميز 2:4 :

يعتمد تصميم QCA لمفكّك الترميز في بنيته الأساسية على بوابة AND ممثّلة باستخدام بوابة ناخب الأكثرية بالإضافة لبوابة العاكس (الشكل(18)).

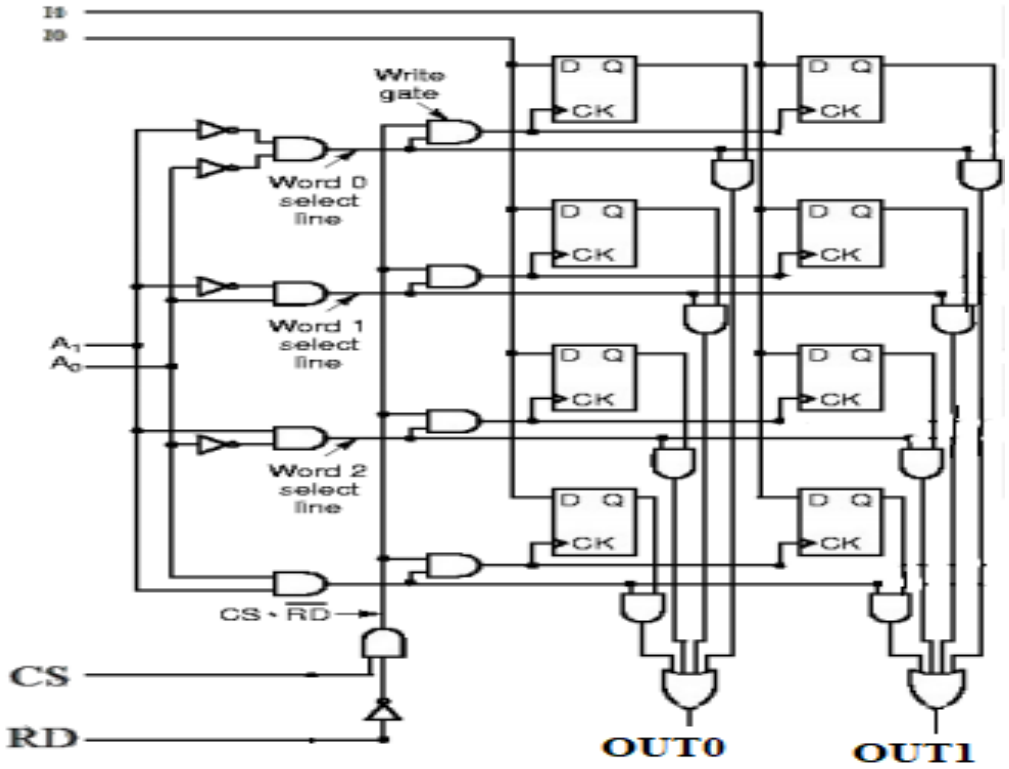
يختار مفكّك الترميز أحد أسطر الذاكرة لتتمّ القراءة منه أو الكتابة إليه اعتماداً على قيم مداخل العناوين A1،A0 معاً [23].



الشكل(18): تصميم مفكك الترميز 2:4 باستخدام تقنية QCA

5-4 التصميم الكمومي للذاكرة 4×2 bits SRAM :

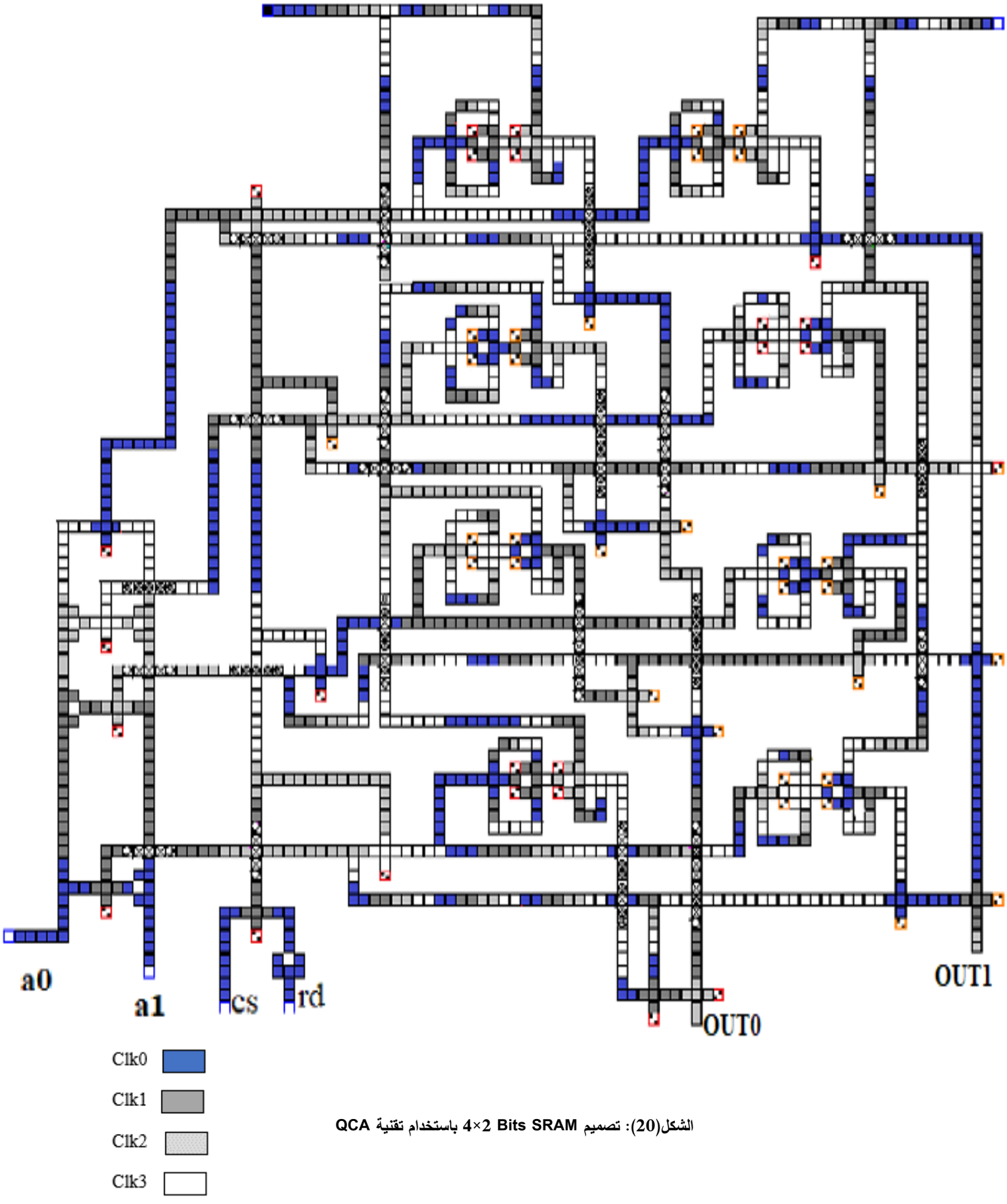
يمثّل الشكل(19) البنية الوظيفية للذاكرة المعتمدة في بحثنا [20]. سيعمد هذا التصميم إلى تحقيق أقل عدد ممكن من الخلايا مع مراعاة تخفيض التأخير الزمني وعدد الأسلاك.



الشكل(19): المخطط الوظيفي لذاكرة 4×2 Bits SRAM

يجب مراعاة النقاط الآتية عند التصميم الكمومي لذاكرة 4×2 bits SRAM الموضح بالشكل(20):

1. تخفيض عدد الخلايا الكمومية قدر الإمكان.
2. عدم حدوث تعارض بين قيمتين أثناء مرور الإشارات في خليتين متجاورتين أو عند استخدام تقنية الجسور لعبور الإشارات، من خلال زيادة عدد الخلايا أو زيادة المناطق الزمنية.
3. وصول إشارات الدخل إلى العنصر الوظيفي في نفس المنطقة الزمنية لتحقيق التزامن بين المداخل والحصول على خرج صحيح.
4. أن يكون الخرجين النهائيين في نفس المنطقة الزمنية وعند نفس النبضة حتى لا يحدث تأخير في قراءة النتائج أو الحصول على خرج خاطئ.



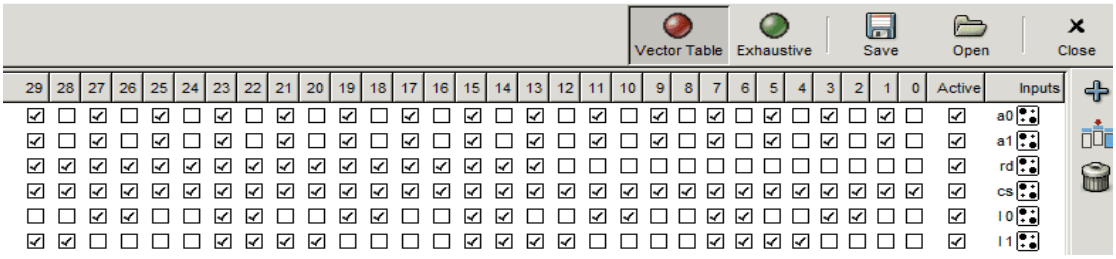
الشكل(20): تصميم 4×2 Bits SRAM باستخدام تقنية QCA

6- النتائج والمناقشة:

سيتم إدخال قيم المداخل بشكل يدوي على النحو التالي:

Simulation ⟶ Simulation Type Setup ⟶ Vector table

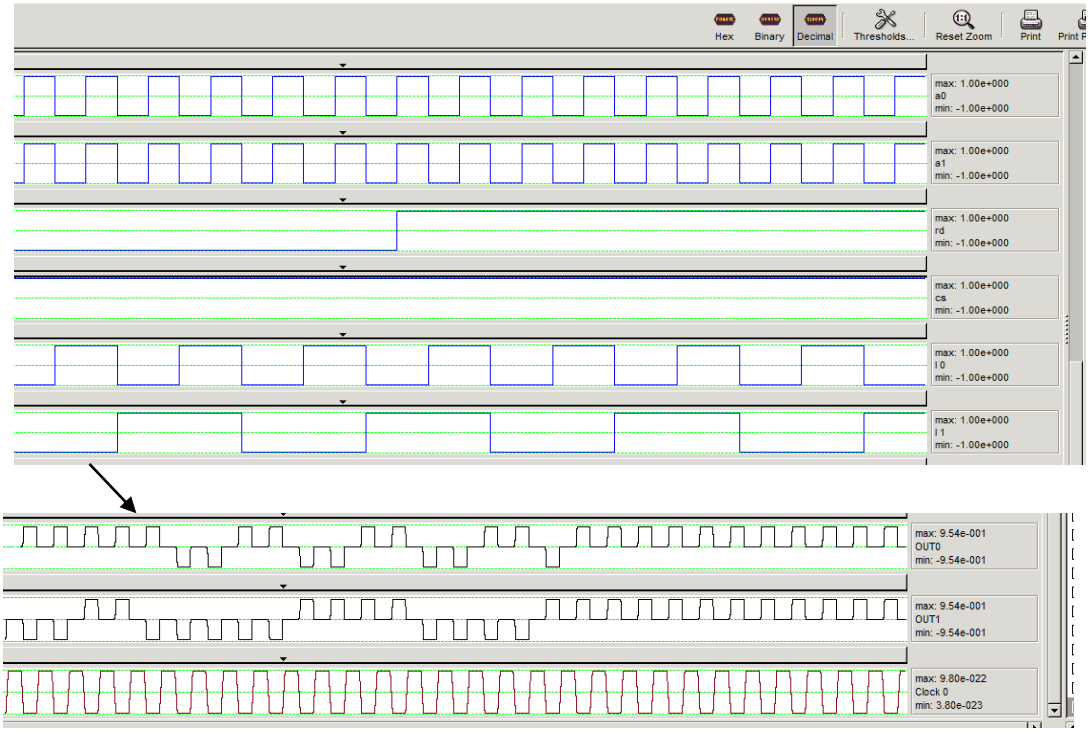
تظهر الواجهة المبيّنة بالشكل(21) :



الشكل(21): تحديد قيم الدخل لذاكرة SRAM

بمحاكاة التصميم السابق تكون النتائج كما هي موضحة في الشكل(22) حيث تتم قراءة الخرج النهائي عند النبضة السادسة من المنطقة الزمنية clock2.

نلاحظ القيم المحددة على المدخل I0 (...0011001100) ظهرت نفسها على المخرج OUT0 وقيم المدخل I1 (...0000111100001111) ظهرت على المخرج OUT1.



الشكل(22): نتيجة محاكاة 4×2 Bits SRAM

7- الاستنتاجات والتوصيات:

يتضمّن الجدول (6) نتائج محاكاة التصميم المقترح لذاكرة SRAM 2×4.

الجدول(6): نتائج محاكاة التصميم المقترح لذاكرة SRAM 2×4

نوع القلّاب	عدد الخلايا	تأخير القراءة الأعظمي	تأخير الكتابة الأعظمي	تردد الساعة	عدد الطبقات
D flip–flop	1924	6 clk	5 clk	2 THZ	4

تمَّ في هذا البحث تصميم دارة ذاكرة ستاتيكية 2×4 باستخدام القلّاب D flip–flop ثنائي الحافة بمدخل خارجي لإشارة الساعة، مما يسمح بتغيير نبضة الساعة حسب متطلبات التطبيقات التي تتعامل معها الذاكرة حيث التردد الأعظمي الممكن للساعة هو تردد أتمتة الخلايا الكمومية (من رتبة Tera Hertz)، كما يمتاز هذا التصميم بتأخير مقبول لعمليتي القراءة والكتابة وتشمل التوصيات:

- العمل على أمثلة التصميم من حيث عدد الخلايا والتأخير.
- الاستفادة من التصميم المقترح في بناء تصاميم ذات حجوم أكبر للذاكرة.

8- المراجع:

[1] Salimzadeh, F; Heikalabad, S; Gharehchopogh, F. (2020). *Design of a reversible structure for memory in quantum-dot cellular automata. International Journal of Circuit Theory and Applications*, vol 48 (12), 2257-2265.

[2] Saleh, S. (2019). *Analysis and performance evaluation of 1-bit Full Adder circuit based on static-CMOS and GDI technology*, and the impact of the technology used in manufacturing on the performance. Tartous University Journal of Research and Learning Studies, Engineering Science Series, Vol 3 (4).

[3] Akabati, R. (2020). *Partition data between SPM and main memory in an embedded system*. Tartous University Journal of Research and Learning Studies, Engineering Science Series, Vol 4 (6).

[4] Afisa, K; Subaih, M; Khega, R. (2019). *Improving the performance of the SIMULATED ANNALING algorithm in order to improve the positioning of the blocks in the FPGA chip. Tartous University Journal of Research and Learning Studies*, Basic sciences Series, Vol 3 (4).

[5] Majeed, A, H; Alkaldy, E; Zainal, M, S; Nor, D, M. (2020). *Novel memory structure in QCA Nano technology*. Iraqi Journal for Electrical and Electronic Engineering, 3(17), 119-124.

[6] Albustani, H; Ali, R. (2019). *Designing Quantum arithmetic unit (AU) using quantum dots technology. Tartous University Journal of Research and Learning Studies*, Engineering Science Series, Vol 3 (4).

[7] Roshan, M; Gholami, M. (2018) , *Novel D Latches and D flip-flops with Set and Reset Ability in QCA Nanotechnology Using Minimum Cells and Area*. International Journal of Theoretical Physics, 57(10) , 3223-3241.

[8] Ghanim,Y. (2020). *Design of 4-bits serial to parallel/parallel to serial converter using quantum dot cellular automation technology*. Tartous University Journal of Research and Learning Studies, Engineering Science Series, Vol 4 (10).

[9] Kianpour, M; Nadooshan, R. (2015), *A novel quantum-dot cellular automata x-bit × 32-bit SRAM. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 24(39), 1-10.*

[10] Pandiamimal, K; Meganathan, D. (2016), *Design of multiplexer based 64-bit SRAM using QCA. Australian Journal of Basic and Applied Science*, 10(1), 207-213.

[11] Lent, C; Bernstein, G. (1993), *Quantum cellular automata. Nanotechnology*, 4(1), 49.

[12] Vankamamidi, V; Ottavi, M; Lombardi, F. (2008), *A serial memory by quantum-dot cellular automata (QCA). IEEE Transactions on Computers*, 57(105), 1-13.

[13] Pandey, R; Gupta, N; Patidar, N. (2014), *Design and Implementation of 16-bit Arithmetic Logic Unit using Quantum dot Cellular Automata (QCA) Technique*. Journal of Engineering Research and Applications, 4(4), 10-16.

[14] Kalogetion, V, S; Papadopolos, D, P; Liolis, O; Mardiris, V, A; Sirakoulis, G, CH; Karafyllidis, I, G. (2016), *Programmable Crossbar Quantum-dot Cellular Automata Circuits. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 36(22), 1-15.

[15] Jeon, J. (2015), *Extendable Quantum-Dot Cellular Automata Decoding Architecture Using 5-Input Majority Gate*. International Journal of Control and Automation, 8(12), 107-118.

[16] 10 september.(2019). mailto: https://waluslab.ece.ubc.ca/qcadesigner/.

[17] Walus, K; Dysart, T; Jullien, G; Budiman, R. (2004), *QCA Designer: A Rapid Design and Simulation Tool for Quantum-Dot Cellular Automata. IEEE Transactions on Nanotechnology*, 3(882), 26-31.

[18] Azimi, S; Angizi, SH; Moaiyeri, M, H. (2018), *Efficient and Robust SRAM Cell Design Based on Quantum-Dot Cellular Automata*. ECS Journal of Solid State Science and Technology, 7(14), 38-45.

[19] Saravanam, S, V; Sivakumar, S, A; Sasipriya, S. (2017), Design of Low *Power D-Flip Flop based on Full Swing GDI Logic and Implementation in 4X4 SRAM. Jour of Adv Research in Dynamical & Control Systems*, 9(4), 188-201.

[20] Maini, A, K. (2007), *Digital Electronics: principles, Devices and Applications*. wiley, 727.

[21] Kaushik, D, K. (2005), *Digital Electronics*. DHANPAT RAI PUBLISHING COMPANY, 386.

[22] Ndjountche, T. (2016), *Digital Electronics 1:combinational Logic Circuits*. 1st edition, wiley, 279.

[23] Walus, K; Vettrth, A; Jullien, G, A; *Dmitrov, V, S. (2003), RAM Design Using Quantum-Dot Cellular Automata. Nano Technology Conference*, 4(178), 1-4.

[24] Asfestani, M, N; Heikalabad, S, R. (2017), *A unique structure for the multiplexer in quantum-dot Cellular automata to create a revolution in design of nanostructures*. Physica B:Condensed Matter, 512(64), 91-99.