مجلة جامعة طرطوس للبحوث والدراسات العلمية _ سلسلة العلوم الهندسية المجلد (4) العدد(10) 2020
Tartous University Journal for Research and Scientific Studies - engineering Sciences Series Vol. (4) No. (10) 2020

تصميم محوّل تسلسلي تفرعي/تفرعي تسلسلي ذو أربع بيتات باستخدام تقنية النقاط الكمومية

م.يانا غانم *

(تاريخ الإيداع 9/23 /2020. قُبِل للنشر في 15 /2020/12)

□ ملخّص □

تتطور التحديات التي تواجه الأجهزة الحاسوبية الحالية مع ازدياد درجة تعقيد العمليات الحاسوبية، وقريباً ستصبح القدرة الحاسوبية المتوفرة بين أيدينا عاجزة عن مواجهة معظم هذه التحديات، لذلك تبرز أهمية إيجاد حل نوعي لمعالجة مشكلات الحواسيب الحالية عن طريق الاستعانة بتكنولوجيا جديدة تأتي في مقدمتها التقنيات الكمومية.

قمنا في هذا البحث ببناء دارة محوّل تسلسلي تفرعي/ تفرعي تسلسلي ذو أربع بيتات باستخدام تقنية النقاط الكمومية، وهي أحد التقنيات المرشحة للحلول محل تقنيات ال CMOS المستخدمة في تصنيع الطيف الأوسع من الأجهزة الإلكترونية الحالية.

الكلمات المفتاحية: تكنولوجيا النانو– النقاط الكمومية–الدارات التتابعية–الحوسبة الكمومية.

*ماجستير– كلية هندسة تكنولوجيا المعلومات والاتصالات– جامعة طرطوس – سورية.

مجلة جامعة طرطوس للبحوث والدراسات العلمية _ سلسلة العلوم الهندسية المجلد (4) العدد(10) 2020
Tartous University Journal for Research and Scientific Studies - engineering Sciences Series Vol. (4) No. (10) 2020

Design of 4-bits serial to parallel/parallel to serial converter using quantum dot cellular automation technology

Eng. Yana Ghanim*

(Received 23/9/2020. Accepted 15/ 12/2020)

□ ABSTRACT □

The challenges that facing today's computing devices are evolving with increasing complexity of computer operations. The computing power in our hand will soon be unable to meet most of these challenges ,Therefore it is important to find a qualitative solution to face the problems of current computers by using new technologies foremost of which are quantum technologies.

In this research we have built a 4-bit serial to parallel/parallel to serial converter circuits using quantum dot technology, one of the candidate technologies to replace the CMOS techniques that is used in building the widest number of existing electronics devices.

Keywords: Nanotechnologies -Quantum dots- Sequential circuits ,Quantum computing.

*Master- Faculty Of Information and Communication Technology- Tartus University .

1- مقدمة:

تشكل ترانستورات MOSFET الأساس الذي يبنى عليه الطيف الأوسع من الأجهزة الإلكترونية الحالية كالحواسيب الشخصية والهواتف الذكية والذواكر الرقمية، وقد تقلّص حجم ترانستورات الـ MOSFET عدة مرّات –خلال العقود القليلة الماضية– من عدة ميكرومترات في السبعينات حتى عشرات النانومترات في الحاضر، وكلّما أصبحت ترانستورات الـ MOSFET أصغر كلّما أصبحت الشرائح التي تبنى عليها أصغر وأقل استهلاكاً للطاقة، ومع ذلك هناك اعتقاد سائد بأن أداء مختلف الدارات في البنى الحالية المبنية على ترانستورات الـ MOSFET تقترب من حدودها النهائية [1].

تتدرج الحلول التكنولوجية لمواجهة مشكلات ال MOSFET تحت صنفين [2] :أحدهما يتجه نحو معالجة مشكلات الترانستورات الحالية عن طريق استبدالها بأنواع جديدة من الترانستورات مثل الترانستور النفقي FET(Field Effect Transistor) والترانستور وحيد الإلكترون(Single Electron Transistor) وترانستورات FET ذات أنابيب الكربون النانوية(Carbone Nanotube FET) ، أما الصنف الثاني فإنه يتجه نحو استخدام تقنيات جديدة كلياً ويأتي في هذا المجال أجهزة أمواج السبين (Spin–wave devices) والنقاط الكمومية(Quantum Dots) .

2- أهداف البحث:

صُممت العديد من الدارات والوظائف الحاسوبية في الوقت الحالي باستخدام تقنية النقاط الكمومية، وبشكل خاص من قبل العالم Konrad Walus، ومنها وحدة حساب ومنطق[3] وذواكر RAM [4]، كما تم مؤخراً تصميم محوّل تسلسلي تسلسلي ومحوّل تفرعي تفرعي بمدخل ساعة خارجي [5] وتعتبر بنيتاهما بسيطة –مقارنة بالمحولين التفرعي التسلسلي والتسلسلي التفرعي– ووظيفتهما تقتصر على تأخير مجموعة من المداخل التسلسلية أو التفرعية بشكل متزامن، كما تناولت بعض الدراسات السابقة المحولين التفرعي التسلسلي والتسلسلي التفرعي حيث تم استخدام نبضة الساعة الداخلية المستخدمة في أتمتة الخلايا الكمومية [6] [7]، كما تناولت دراسة أخرى استخدام نبضة ساعة خارجية في تصميم دارة المحول التسلسلي التفرعي [8]، ويتلخص هدفنا من هذا البحث في:

- بناء تصميمين للمحولين التسلسلي التفرعي والتفرعي التسلسلي باستخدام مدخل خارجي لإشارة الساعة.
- تخفيض التأخير في إشارة الخرج قدر الإمكان .
- استخدام أقل عدد ممكن من الخلايا الكمومية في بناء هذين التصميمين.

3- طرائق البحث ومواده:

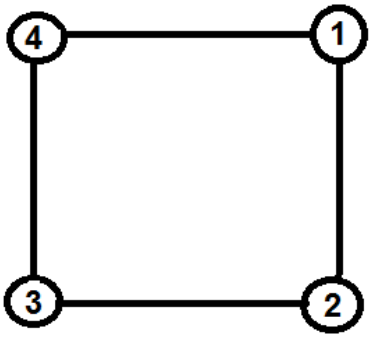
3-1 النقاط الكمومية

اقترحت هذه التقنية عام 1993 من قبل مجموعة من الباحثين في جامعة نوتردام، وهي تتضمن مصفوفات من الخلايا، و تتضمن كل خلية عدداً من النقاط المصنوعة من مواد نصف ناقلة مثل السيليكون.

تتضمن كل خلية أربع نقاط في كل زاوية من زوايا الخلية المربعة ونقطة في المركز، وبسبب قوى تنافر كولون فإن الإلكترونات لا يمكن لها إلّا أن تشغل نقطتين متقابلتين قطرياً (قطر رئيسي أو قطر ثانوي).

بترقيم هذه النقاط الأربعة المتوضعة في زوايا الخلية المربعة (الشكل (1)) من 1 إلى 4 فإن الإلكترونين يمكن أن يشغلا الموضعين 1 و3 أو 2 و4.

إنّ المبدأ الأساسي الذي تعتمد عليه النقاط الكمومية هو تفاعلات كولون بين الخلايا حيث لا يحدث أي انتقال للشحنة بين الخلايا، وتعتمد فكرة أتمتة الخلايا الكمومية QCA (Quantum Cellular Automation) على حقيقة أن حالة الخلية في زمن معين تعتمد على حالة الخلايا المجاورة خلال دورة الساعة السابقة[9].



الشكل(1): خلية نقاط كمومية

3-2 المناطق الزمنية في أتمتة الخلايا الكمومية

تتضمن نبضة الساعة في أتمتة الخلايا الكمومية أربع مناطق زمنية [10]:

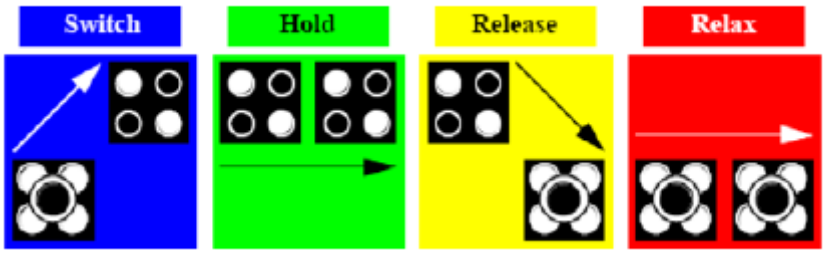
المنطقة الأولى : وتسمى منطقة التشغيل(switch zone): في بداية هذه المرحلة يكون الحاجز الكمومي بين النقاط الكمومية في الخلية الكمومية منخفضاً، وتكون الخلية غير مستقطبة (أي لا يوجد الكترونين محجوزين في اثنين من النقاط الكمومية داخل الخلية)، ويزداد الحاجز الكمومي تدريجياً بحيث تصبح الخلايا في نهاية هذه المرحلة مستقطبة ويعتمد استقطابها على استقطاب الخلايا المجاورة التي تكون في مرحلة الإمساك(hold zone).

المنطقة الثانية: وتسمى منطقة الإمساك (hold zone) : يكون الحاجز الكمومي مرتفعاً، والخلية مستقطبة ومستقرة وقادرة على نقل استقطابها إلى الخلايا المجاورة (يعتمد مبدأ نقل الاستقطاب على حقيقة عدم إمكانية توضع الكترونين لخليتين متجاورتين بشكل متجاور).

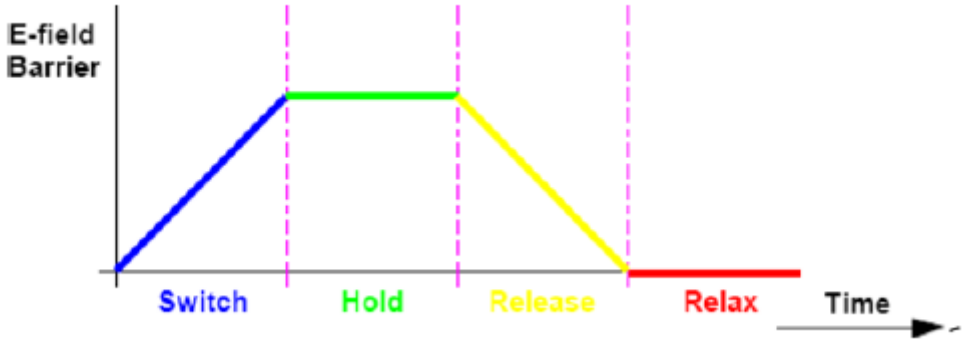
المنطقة الثالثة: وتسمى منطقة الإفلات (release zone): يبدأ الحاجز الكمومي بالانخفاض و تصبح الخلية في نهاية هذه المرحلة غير مستقطبة.

المنطقة الرابعة: وتسمى منطقة الاسترخاء (relax phase): حيث تكون الخلية الكمومية غير مستقطبة ومستقرّة.

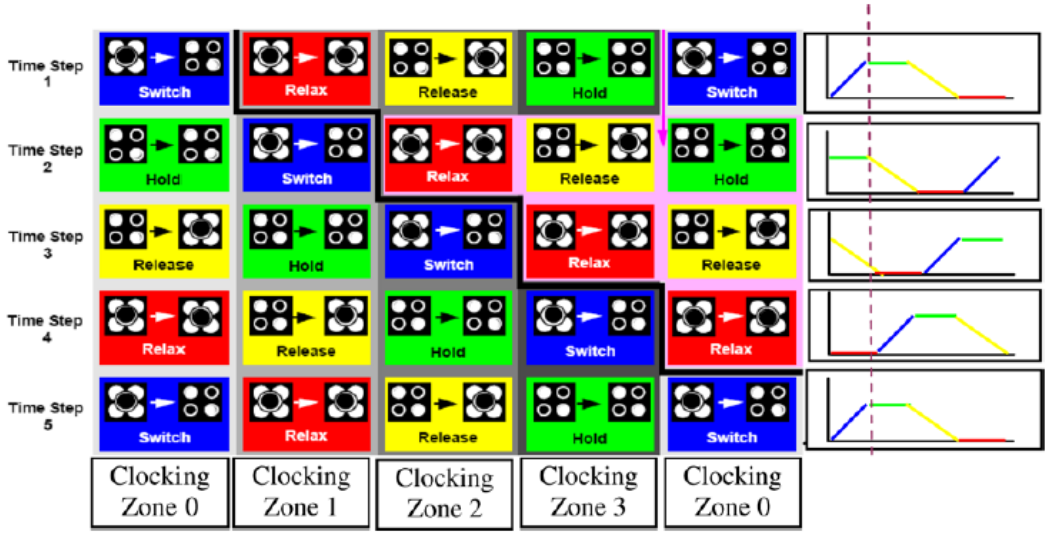
يوضّح الشكل(2) المناطق الزمنية الأربعة للساعة، بينما يوضح الشكل (3) الحاجز الكمومي للخلية في كل مرحلة، ويبين الشكل(4) كيفية انتشار المعلومة عبر خمس خلايا كمومية متجاورة.



الشكل(2): المناطق الزمنية للساعة المستخدمة في أتمتة الخلايا الكمومية



الشكل(3): الحاجز الكمومي للخلية الكمومية في كل طور من أطوار الساعة



الشكل(4): كيفية انتشار المعلومة عبر خمس خلايا كمومية متجاورة.

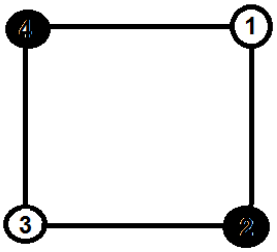
3-3 تمثيل المنطق "0" والمنطق "1" وفق تقنية النقاط الكمومية

في خلية QCA لدينا استقطابين أساسين هما 1 و 1- ، وذلك بالاعتماد على حالة (تموضع) الإلكترونين ضمن الخلية، ويحسب الاستقطاب من العلاقة (1) حيث Pi=1 عندما يكون الإلكترون موجوداً في النقطة الكمومية

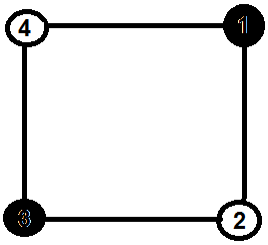
الموافقة، و Pi=0 عندما الإلكترون غير موجود، حيث يمثل الاستقطاب 1- المنطق "0"، والاستقطاب1 المنطق "1"، ويوضّح الشكلان (5) و(6) تموضع الإلكترونين في النقاط الكمومية الأربعة الموافقة لهذين الاستقطابين.

$$P = \frac{(p_1 + p_3) - (p_2 + p_4)}{(p1 + p2 + p3 + p4)} \qquad (1)$$

يمكن تغيير الحالة المنطقية بتطبيق كمون سالب بالقرب من النقطة الكمومية التي يشغلها الإلكترون مما يسبب تغيير حالة الخلية المجاورة لتخفيض قوى تنافر كولون(أي أنّ تغيير استقطاب خلية يؤدي إلى انتشار الاستقطاب إلى الخلايا المجاورة)[11] .

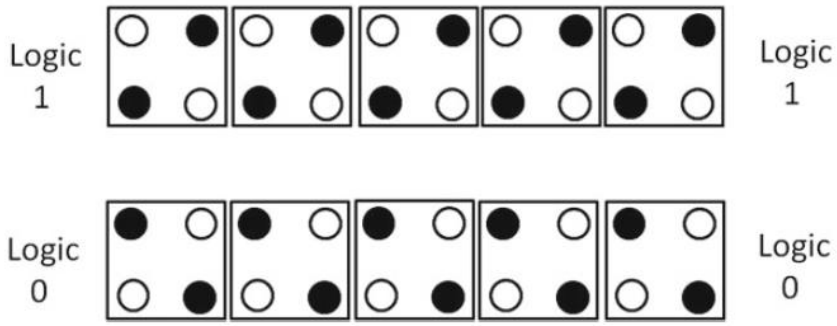


الشكل(5): تمثيل الحالة المنطقية "0" باستخدام تقنية النقاط الكمومية



الشكل(6): تمثيل الحالة المنطقية "1" باستخدام تقنية النقاط الكمومية

ويوضّح الشكل (7) انتشار المنطق "1" والمنطق "0" من اليسار إلى اليمين بالاعتماد على قوى تنافر كولون.



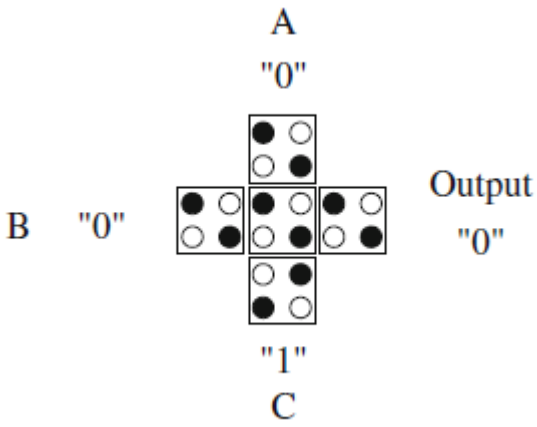
الشكل(7): انتشار الإشارة وفق تقنية النقاط الكمومية(سلك)

3-4 بعض الوظائف الأساسية في أتمتة الخلايا الكمومية

3-4-1 بوابة الأكثرية (Majority- Gate)

وظيفة بوابة الأكثرية التي لها ثلاث مداخل(A,B,C) (الشكل(8)) تعطى وفق العلاقة: M(A,B,C)=AB+BC+AC، حيث تقوم بتمرير القيمة الأكثر وروداً على الدخل سواء كانت "0" أو "1".

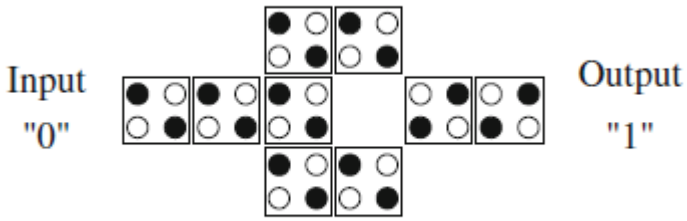
ويمكن الحصول على وظيفة AND بمدخلين باستخدام 3–input majority gate عن طريق تثبيت قيمة أحد المداخل على "0"، كما يمكن الحصول على وظيفة OR بمدخلين باستخدام 3–input majority gate عن طريق تثبيت أحد المداخل على القيمة "1" [11].



الشكل(8) بوابة الأكثرية (majority gate)

3–4–2 بوابة العكس Not– gate

يوضح الشكل(9) تصميم بوابة العكس حيث يؤدي تموضع خليتين بشكل متجاور قطرياً إلى عكس القيمة من "0" إلى "1" ومن "1" إلى "0"[11].



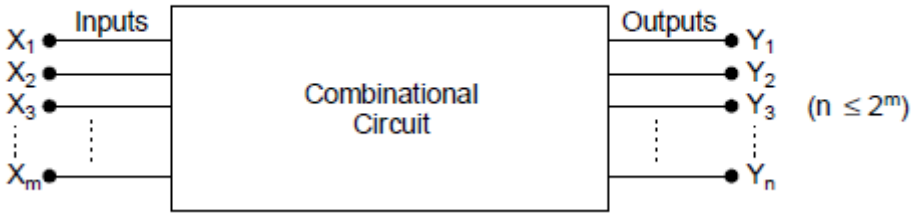
الشكل(9) :بوابة العكس Not– gate

3–5 محاكي QCADesigner

محاكي QCADesigner هو برمجية مفتوحة المصدر تم تطويرها في مختبرات ATIPS في جامعة Calgary في كندا، واجتذب لاحقاً عدداً كبيراً من المطورين خاصة في جامعتي Notre Dame و British Columbia، تم كتابة هذا المحاكي باستخدام لغتي C/C++، وهو يدعم طيف واسع من البرمجيات مفتوحة المصدر مثل أدوات معالجة الصورة، وإن الهدف من تطويره هو الحصول على أداة لتصميم ومحاكاة أتمتة الخلايا الكمومية، ولا تزال هذه الأداة في طور التطوير حتى اليوم، والنسخة الأحدث منها متاحة للتحميل مجاناً من موقع جامعة British Columbia [13,12].

4- الدارات التراكبية (Combinational Circuits):

يعتمد خرج الدارات التراكبية في أي لحظة زمنية على القيم الموجودة على الدخل ولا يعتمد على أي قيم سابقة (لا يتم مثلاً إعادة تغذية الخرج إلى الدخل)، ويمثل الشكل (10) المخطط الصندوقي لدارة تراكبية ذات m دخل و n خرج [14].



الشكل(10): المخطط الصندوقي لدارة تراكبية ذات m دخل و n خرج

5- الدارات التتابعية (Sequential Circuits)

يعتمد خرج الدارات التتابعية على الدخل الحالي والدخل أو(و) الخرج في الأزمنة السابقة، وبالتالي على هذه الدارات أن تخزن الخرج أو(و) الدخل السابق، وهذا يتطلب وجود عناصر تخزين(memory elements) تحتفظ بالخرج السابق من أجل تزويده إلى الدخل، ويمثل الشكل(11) مخطط صندوقي للدارات التتابعية التي تقسم إلى نوعين[14]:

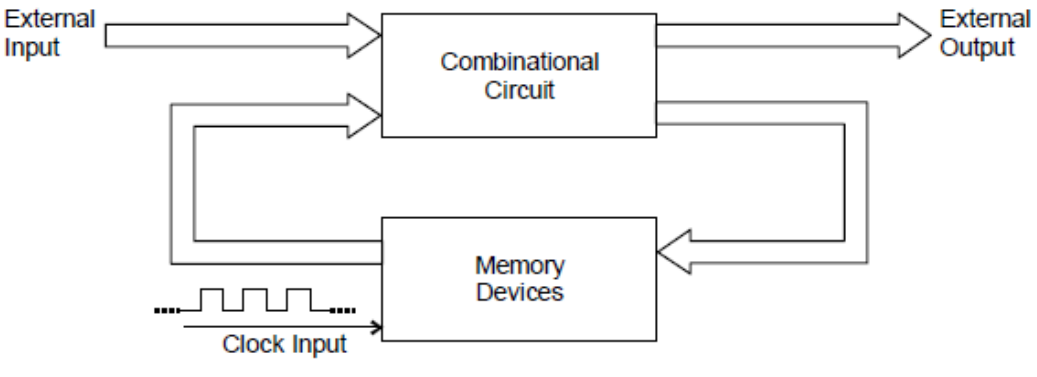
- **الدارات التتابعية غير المتزامنة (Asynchronous Sequential Circuit):**

يتغير خرجها بشكل لحظي متى تغيرت أي من المداخل.

- **الدارات التتابعية المتزامنة (Synchronous Sequential Circuit):**

يتأثر الخرج بتغير الدخل في فواصل زمنية محددة، ويطلق على عناصر الذاكرة التي تستخدم في الدارات

التتابعية بالقلابات (flip flop) التي يخزن كل منها 1 bit من المعلومات، ويمثل عنصر ذاكرة وحيد.

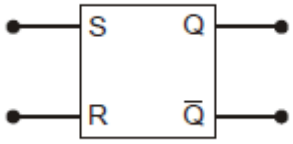


الشكل(11): المخطط الصندوقي للدارات التتابعية

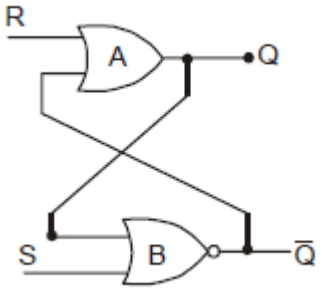
6- القلّابات:

- **RS flip-flops:**

يبين الشكل(12) الرمز المنطقي لهذا القلّاب، في حين يمثل الشكل(13) البوابات المكوّنة للقلّاب، عندما الدخلين R=S=0 يغذى الخرج السابق إلى دخل بوابتي الorوالnor ، أي لا يحصل أي تغيير، وعندما R=1,S=0 ينتج $Q=0,\overline{Q}=1$ وهي حالة التصفير (Reset)، وعندما R=0,S=1 ينتج $Q=1,\overline{Q}=0$ وهي حالة التشغيل (Set)، وعندما R=1,S=1 ينتج $Q=1,\overline{Q}=1$ وهي حالة ممنوعة على الدخل[14].



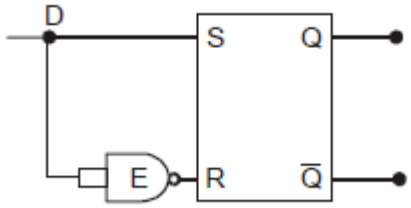
الشكل(12): الرمز المنطقي للقلّاب SR



الشكل(13): البوابات المكونة للقلّاب SR

- **D flip-flops**

يمتلك قلّاب ال SR مدخلين يجب أن نفعلهما بشكل متزامن، وهذا يشكل مشكلة في بعض التطبيقات، وأيضاً للتخلص من الحالة R=1,S=1 غير المرغوبة على الدخل تم تعديل القلّاب السابق كما في الشكل(14) ، حيث تم إضافة بوابة NAND إضافية على الدخل لتعمل كعاكس بحيث يصبح دائماً R وS متعاكسين ويكون جدول الحقيقة (1)[14] .



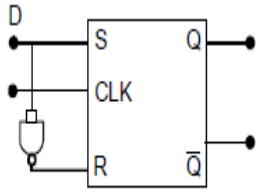
الشكل(14) : بنية القلاب Dff

الجدول (1):جدول الحقيقة للقلّاب D

D	Q	Resulting State
0	0	Reset State or Low State
1	1	Set State or High State

إن القلّابات التي استعرضناها سابقاً ليست متزامنة إذ يتغير الخرج بمجرد تغير الدخل، ولتحقيق التوافق بين عدد كبير من القلابات لا بد من تغيير حالة القلابات بالتزامن مع قطار من النبضات (وهو ما يعرف بالساعة clock).

يوضح الشكل (15) التعديل في البنية على القلّاب Dff بعد إضافة مدخل الساعة[14].



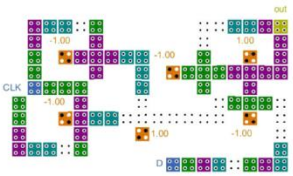
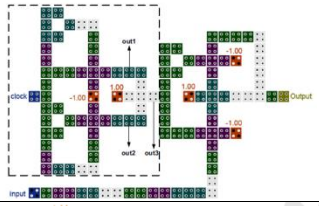
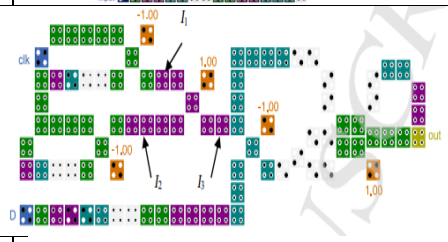
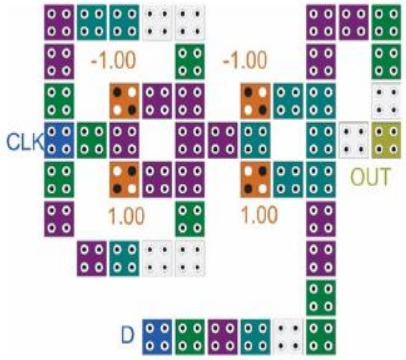
الشكل(15) : التعديل في البنية على القلاب D بعد إضافة مدخل الساعة

ملاحظة : سنعتمد في تصميمنا على القلّاب D flip–flop من أجل تبسيط التصميم كونه يتضمن مدخل وحيد بالإضافة إلى مدخل الساعة وكونه يحل مشكلة القيم غير المرغوبة على الدخل أيضاً[14].

7– التصميم الكمومي للقلّاب:

إن التأخير الابتدائي للقلابات أحادية الحافة(الصاعدة مثلاً) وثنائية الحافة هو نفسه، ولكن من أجل تردد الساعة نفسه ومع تتالي النبضات يزداد تأخير القلابات أحادية الحافة مقارنة مع القلّابات ثنائية الحافة، لذلك سنختار أحد تصاميم القلابات ثنائية الحافة. ويوضّح الجدول (2) بعض التصاميم المقترحة للقلّابات ثنائية الحافة وعدد الخلايا المستخدمة في كل منها والتأخير لكل منها استناداً إلى الدراسات المرجعية بين العامين (2010–2020) .

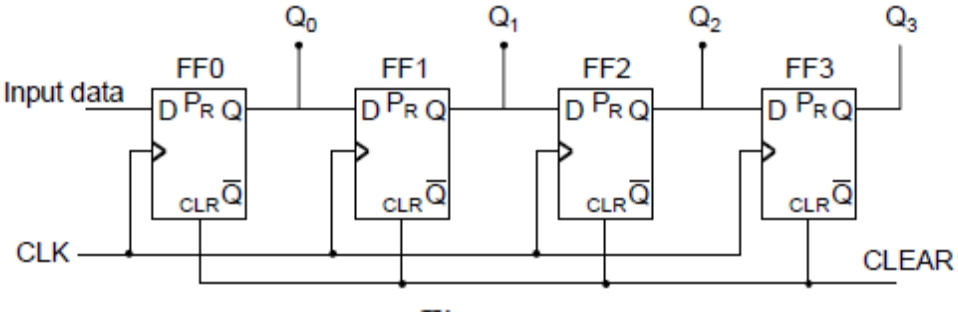
الجدول (2):التصاميم المقترحة للقلّابات ثنائية الحافة استناداً إلى الدراسات المرجعية

	التصميم	السنة	عدد الخلايا الكلّية	التأخير (clocks)
[15]		2019	83	2.25
[16]		2012	121	3
[17]		2018	90	2
[18]		2018	51	1.75

نلاحظ أنّ التصميم المقترح عام 2018 [18] يحقق المطلوب من حيث تخفيض عدد الخلايا والتأخير.

8- التصميم الكمومي لدارة المحوّل التسلسلي التفرعي:

يتطلب استخدام الأنظمة التفرعية توزيع الدخل التسلسلي على هذه الأنظمة التفرعية(التحويل التسلسلي التفرعي) وإجراء المعالجة المطلوبة عليه ومن ثم تجميع ناتج كل من هذه الأنظمة التفرعية في خرج تسلسلي وحيد(التحويل التفرعي التسلسلي).يوضح الشكل(16) بنية المحوّل التسلسلي التفرعي بأربع بيتات [14].



الشكل(16): بنية المحوّل التسلسلي التفرعي بأربع بيتات

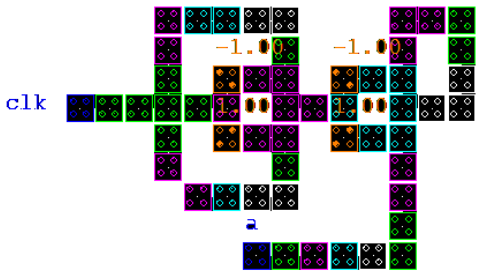
سنعمد من أجل بناء دارة المحوّل إلى:

- استخدام تصميم للقلّاب يتطلب أقل تأخير بين الدخل والخرج وأقل عدد ممكن من الخلايا.
- سنعمد إلى تخفيض أطول أسلاك ال QCA قدر الإمكان.
- من أجل تأمين استقرار الإشارة في سلك ال QCA سنعمد(عند الحاجة) إلى إضافة أقل عدد من المناطق الزمنية (كما سنلاحظ في سلك الساعة).

إن ذلك يؤدي إلى استخدام قلّابات ذات مناطق زمنية مختلفة في التصميم ويجعل موازنة التأخير على المخارج التفرعية الأربعة وحساب التأخير الكلي أعقد نوعًا ما.

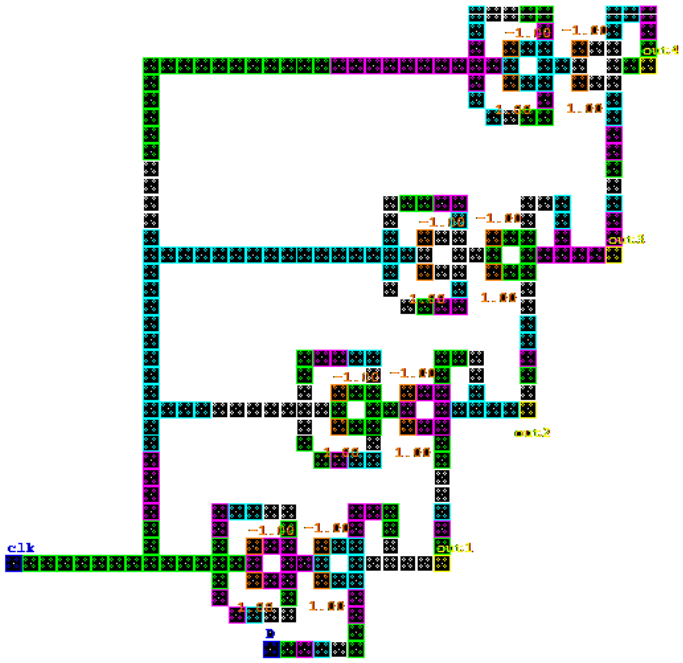
باستخدام تصميم القلاب [18] مع ملاحظة الأمور الآتية:

1- نحتاج إلى إضافة بضعة خلايا إلى التصميم من أجل تعديل موقع المدخل clk بحيث يصبح مدخلاً مشتركاً للقلّابات الأربعة كما هو موضّح في الشكل(17) ، حيث يصبح عدد الخلايا الكلية للقلّاب 54وهو أيضاً أقل من عدد الخلايا المستخدمة في التصاميم الأخرى المقترحة للقلّابات والتي يحتاج بعضها أيضاً إلى تعديل موقع ال clk.



الشكل(17): بنية القلّاب المستخدم بعد تعديل موقع مدخل الساعة

2- خرج القلاب الأول يكون في المنطقة الزمنية الثالثة ودخل القلاب التالي يجب أن يكون في نفس المنطقة الزمنية، وأيضاً فإن دخل هذا التصميم للقلابات وساعته بنفس المنطقة الزمنية لذلك نستخدم قلابات ذات مناطق زمنية مختلفة في هذا التصميم، ونعمل على زيادة المنطقة الزمنية لساعة القلابات بحيث يتوافق مع المناطق الزمنية لمداخلها، وهذا يؤمن أيضاً استقراراً في إشارة الساعة حيث إن سلك إشارة الساعة سيكون طويلاً نسبياً بسبب تغذيته إلى مداخل القلّابات الأربعة، باستخدام هذا التصميم للقلّاب وبالاستفادة من الملاحظتين السابقتين يكون التصميم المقترح للمحوّل كما في الشكل(18).



الشكل(18): التصميم المقترح للمحوّل التسلسلي التفرعي باستخدام النقاط الكمومية

الآن سنعمد إلى موازنة التأخير على مخارج القلّابات الأربعة وكخطوة أولى يجب حساب تأخير المخارج كما في الجدول (3).

الجدول (3):حساب التأخيرات الابتدائية للمخارج الأربعة للمحوّل التسلسلي التفرعي.

بداية قراءة الدخل التسلسلي	التأخيرات للمخارج التفرعية على التوالي(بين الدخل الأساسي وخرج كل من القلّابات): Q_0, Q_1, Q_2,Q_3	بداية قراءة الخرج التفرعي
D_0(1clock)	1.75 clock	2.75 clock
D_0(1clock)	3.5clock	4.5 clock
D_0(1clock)	5.25clock	6.25 clock
D_0(1clock)	7clock	8 clock

لتحقيق التوازن بين المخارج الأربعة يجب أن نأخذ بعين الاعتبار أكبر تأخير للمخارج والذي هو 8 clocks لذلك يجب إضافة التأخيرات التالية (الجدول(4)) وتصبح التأخيرات النهائية وفق الجدول (5) :

الجدول (4): التأخيرات المطلوب إضافتها لمخارج المحوّل التسلسلي التفرعي لتحقيق التزامن

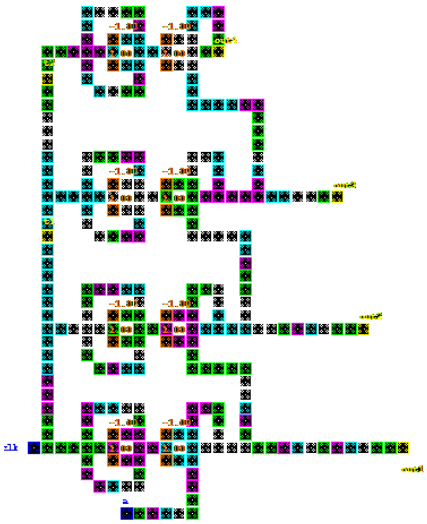
المخرج	التأخير المطلوب إضافته
Q0	2.25 clocks
Q1	1.5 clocks
Q2	0.75 Clocks
Q3	0 clocks

ويصبح التأخير لكل مخرج من المخارج التفرعية الأربعة كما في الجدول (5)

الجدول (5): تأخيرات مخارج المحوّل التسلسلي التفرعي بعد تحقيق التزامن

الدخل التسلسلي	التأخير للمخارج التفرعية على التوالي(بين الدخل الأساسي والمخارج التفرعية) Q_0, Q_1, Q_2, Q_3	بداية قراءة الخرج التفرعي
D_0(1clock)	4clock	5clock
D_0(1clock)	5clock	6clock
D_0(1clock)	6clock	7clock
D_0(1clock)	7clock	8clock

ويصبح التصميم النهائي بعد إضافة هذه التأخيرات وتخفيض أطوال الأسلاك كما في الشكل(19) حيث عدد الخلايا الكلية 288.



الشكل(19): التصميم المقترح للمحوّل التسلسلي التفرعي باستخدام النقاط الكمومية بعد موازنة تأخيرات المخارج.

9- التصميم الكمومي لدارة المحول التفرعي التسلسلي:

يوضح الشكل (20) بنية المحول التفرعي التسلسلي بأربع بيتات[19] ، والذي يتكون من أربع قلابات وثلاث نواخب و تتحكم بالناخب إشارة التحميل/الإزاحة التي تسمح إما بتمرير خرج القلاب السابق أو تمرير الدخل الحالي إلى القلاب التالي، حيث تمثل المداخل الأربعة المداخل التسلسلية التي ينبغي دمجها في الخرج التفرعي، ويجب أن نختار تسلسل إشارة التحميل والإزاحة بشكل صحيح لتجنب حصول إنقطاعات بين بيتات الخرج كأن يظهر البت الأول عند النبضة الخامسة والبت الثاني عند النبضة العاشرة، أو حدوث تقطع في إشارة الخرج كأن تنتهي البتات الأربعة الأولى عند النبضة الثالثة وتبدأ البتات الأربعة التالية عند النبضة الخامسة.

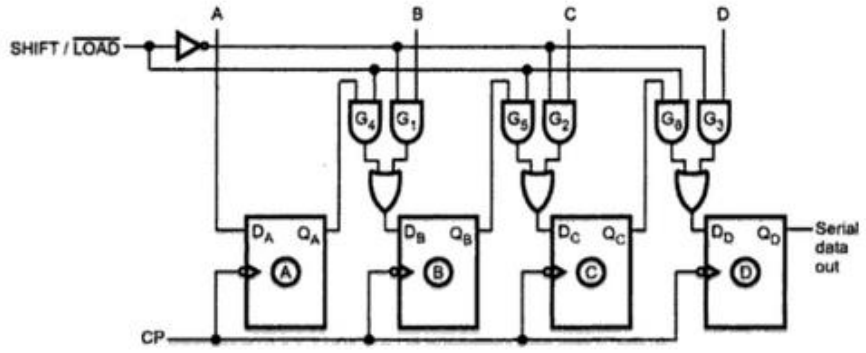
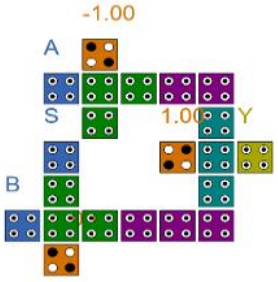
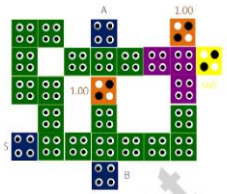
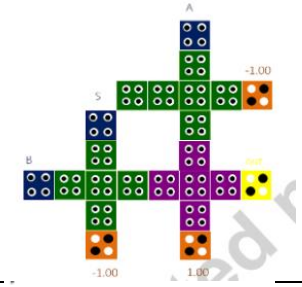
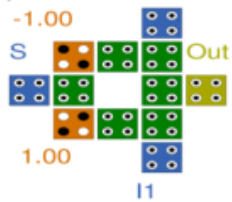


Fig. 8.7 Parallel in serial out shift register

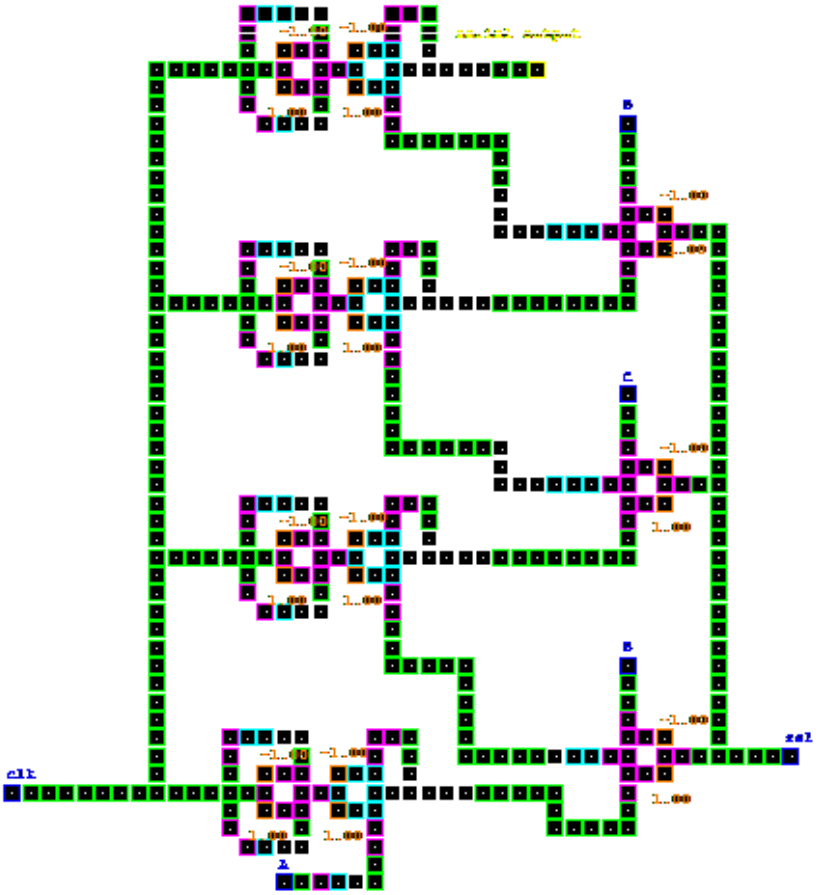
الشكل(20): بنية المحوّل التفرعي التسلسلي بأربع بيتات

تتضمن بنية المحول مكونين أساسيين هما القلاب والناخب، سنستخدم بنية القلاب التي استخدمناها في بناء المحول التسلسلي التفرعي، أما بالنسبة للنواخب فيوضح الجدول (6) البنية المقترحة لهذا الناخب 2x1 استنادا إلى الدراسات المرجعية بين عامي 2010-2020.

الجدول (6):التصاميم المقترحة للناخب 2:1 استناداً إلى الدراسات المرجعية

	التصميم	السنة	عدد الخلايا
[20]		2019	27
[21]		2013	26
[21]		2015	23
[21]		2017	12

سنستخدم التصميم عام 2017 الذي هو أبسط تصميم توصلت إليه الدراسات السابقة حتى الآن، ويتطلب 12 خلية فقط. استناداً إلى ما سبق قمنا ببناء دارة المحول كما في الشكل (21).



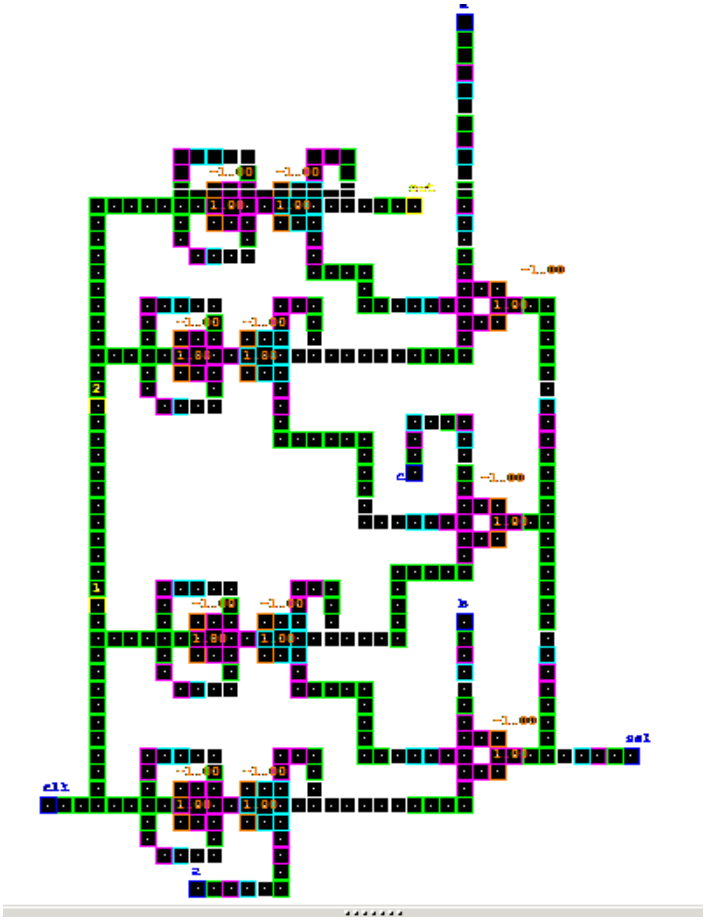
الشكل(21): التصميم المقترح لدارة المحوّل التفرعي التسلسلي باستخدام النقاط الكمومية

إن التأخير المطلوب إضافته للمداخل يعتمد على تأخير القلاب المستخدم في بناء المحول، ولحساب هذا التأخير سنأخذ المرحلة الأولى كمثال(البيتين الأول والثاني a,b والناخب والقلاب الأول)، حيث إن الدخل a يتواجد على مدخل الناخب عند النبضة الثالثة بينما يتواجد b عند النبضة الأولى لذلك ينبغي تخفيض التأخير بينهما ليصبح 1clkعن طريق إضافة تأخير للمدخل b ولإشارة الانتخاب للناخب الأول، وبمحاكمة مماثلة نستنتج التأخير المطلوب إضافته لبقية المداخل وفق الجدول (7):

الجدول (7):التأخيرات المطلوب إضافتها لمداخل المحول التفرعي التسلسلي للوصول إلى التسلسل الصحيح لإشارة الخرج

المدخل	التأخير
B	1clk
C	2clk
D	3clk
sel	نفس تأخير المدخل الموافق

بعد إضافة التأخير للمداخل يصبح التصميم النهائي كما في الشكل(22) حيث عدد الخلايا الكلية 409.



الشكل(22): التصميم المقترح للمحوّل التفرعي التسلسلي باستخدام النقاط الكمومية بعد موازنة تأخيرات المداخل

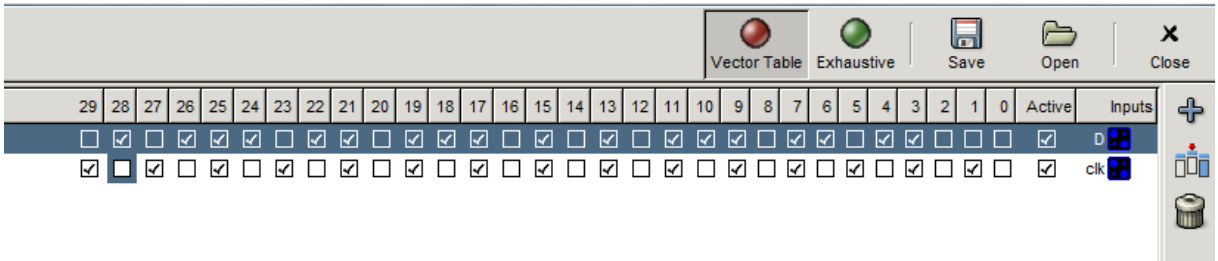
10- النتائج والمناقشة:

10-1 المحوّل التسلسلي التفرعي :

سنقوم بإدخال قيم الدخل التسلسلي والساعة clk بشكل يدوي حيث يتيح المحاكي هذه الإمكانية على النحو التالي:

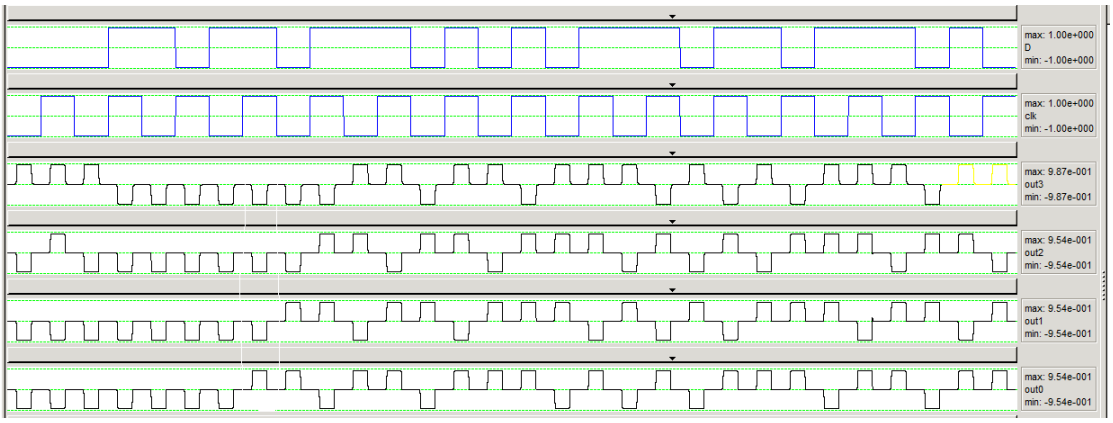
Simulation ⟶ Simulation Type Setup ⟶ Vector table ⟶

تظهر الواجهة المبينة في الشكل(23) ونقوم بإدخال القيم المرغوبة



الشكل(23): تحديد قيم إشارتي الساعة والدخل التسلسلي للمحوّل التسلسلي التفرعي.

بمحاكاة النموذج السابق يكون الخرج كما في الشكل(24)، حيث تبدأ قراءة الخرج النهائي ابتداءً من النبضة الثامنة، وتكون قراءة البت الأول على المخرج Q_0، والبت الثاني على المخرج Q_1 ، والبت الثالث على المخرج Q_2، والبت الرابع على المخرج Q_3.

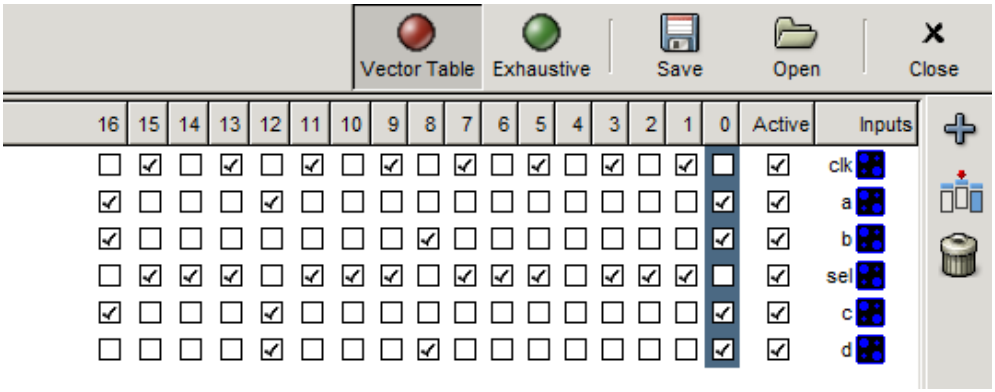


الشكل(24): نتيجة محاكاة دارة المحوّل التسلسلي التفرعي

2-10 المحوّل التفرعي التسلسلي :

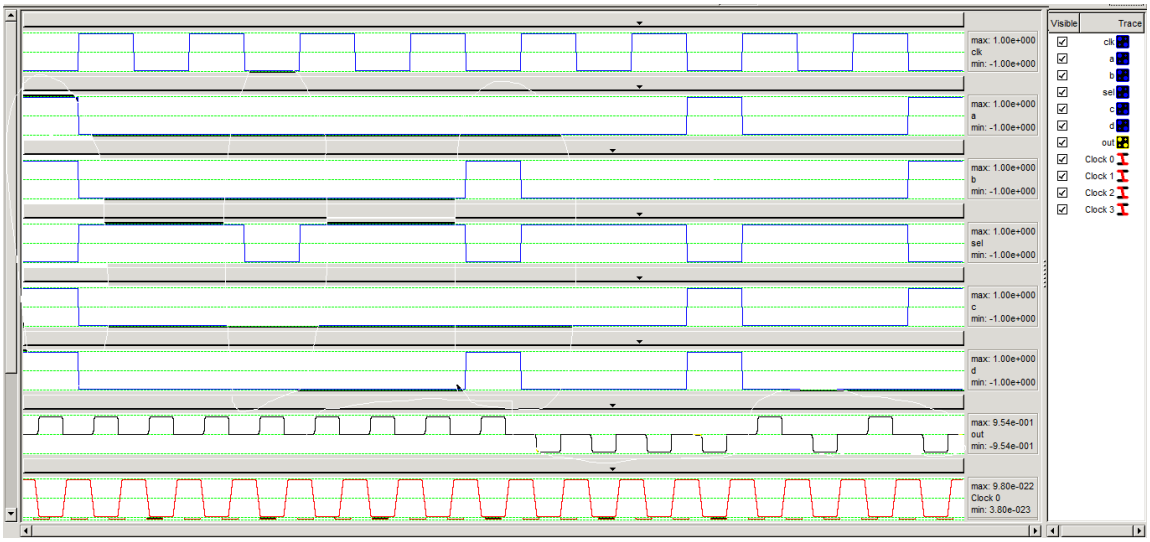
إن القيمة 1- على مدخل الانتخاب تسمح بتمرير قيمة البت الموجودة على المدخل، أما القيمة 1 فتسمح بمرور القيمة القادمة من خرج القلّاب السابق، ولتحديد التسلسل الصحيح لإشارة التحكم سنأخذ كمثال المرحلة الأخيرة (مدخل البت c والناخب والقلاب الأخير)، حيث إن هذا المدخل يمتلك أقل تأخير بالنسبة للخرج وهو يمثل البت الأول في تسلسل البيتات لذلك ينبغي أن تكون القيمة الأولى لمدخل التحكم 1- لتسمح بتمريره إلى الخرج ومن ثم يجب أن تكون القيم الثلاثة التالية 1 لكي تسمح بمرور البتات الثلاثة التالية من المراحل السابقة، حيث يفصل بين كل بيتين متتالين 1clk كما استنتجنا سابقاً وبذلك نحصل على تسلسل الخرج الصحيح.

نفتح واجهة الإدخال ونقوم بتحديد القيم المرغوبة (الشكل(25)) :



الشكل(25): تحديد قيم إشارات الساعة والدخل التفرعي وإشارة التحكم للمحوّل التفرعي التسلسلي.

بمحاكاة التصميم السابق يكون الخرج كما في الشكل(26)، حيث تبدأ قراءة الخرج النهائي ابتداءً من النبضة السادسة.



الشكل(26): نتيجة محاكاة دارة المحوّل التفرعي التسلسلي

11- الاستنتاجات والتوصيات:

يتضمن الجدول(8) مقارنة بين نتائج محاكاة التصميم المقترح للمحوّل التسلسلي التفرعي مع الدراسة السابقة التي تضمنت استخدام مدخل ساعة خارجي.

الجدول(8): مقارنة التصميم المقترح للمحوّل التسلسلي التفرعي مع الدراسة السابقة

	عدد الخلايا	نوع القلّاب	تردد إشارة دخل وخرج المحوّل	تردد إشارة الساعة	دور الساعة لإشارة دخل القلاب	التأخير الابتدائي لإشارة الخرج
التصميم المقترح	288	ثنائي الحافة	2THZ	2THZ	0.5ps	8CLK
الدراسة السابقة	191	أحادي الحافة	1THZ	2THZ	1ps	8CLK

نلاحظ أن تصميمنا تطلب استخدام عدداً أكبر من الخلايا، ويرجع السبب في ذلك إلى استخدام تصميم قلّاب ثنائي الحافة، فمن أجل نفس تردد الساعة فإن تصميمنا المقترح يؤمن – مقارنة بالتصميم السابق– تخفيضاً في التأخير مع تتالي النبضات.

ناقشنا أيضاً في سياق هذا البحث تصميم دارة محوّل تفرعي تسلسلي بأربع بيتات (ذو مدخل ساعة خارجي أيضاً) باستخدام النقاط الكمومية حيث يتيح استخدام مدخل الساعة الخارجي تحقيق التزامن مع الأنظمة الأخرى بحيث يصبح من الممكن الحصول على إشارة الدخل من هذه الأنظمة، أو تزويد إشارة الخرج إلى أنظمة ذات ترددات مختلفة عن تردد أتمتة الخلايا الكمومية، كما قمنا بتحديد التسلسل الصحيح لإشارة التحكم والتأخير المطلوب لتحقيق التزامن بين المداخل التسلسلية للمحوّل، وتشمل التوصيات:

1. البحث في تخفيض إضافي للتأخير ولعدد خلايا التصميمين.
2. تصميم ومحاكاة وظائف منطقية أخرى وصولاً إلى بناء نظام حاسوبي شامل مع جميع الأجهزة المحيطية باستخدام تقنية النقاط الكمومية.

12- المراجع

[1] SEABAUGH,A 2013, *the tunneling transistors. IEEE spectrum* ,Vol.50, No.10,35-62.

[2] *2013 International Technology Roadmap for semiconductors (ITRS),Technical report,semiconductors industry Association (SIA).*

[3] TIWARI, R; BASTAWADE, D; SHARAN, P; KUMAR, A. 2017, Performance *Analysis of Reversible ALU in QCA. Indian Journal of science and Technology*. INDIA, Vol.10, No.29,1-5.

[4] WALUS,K;VETTETH,A;JULLIEN,G;DIMITROV,V .2003 ,*RAM Design Using Quantum-Dot Cellular Automation .In Nanotechnology Conference*.JAPAN,Vol.5,160-163.

[5] FAN,S;KHAMESINIA,M.2020,An Efficient Design of Parallel and Serial Shift Registers Baser on Quantum-Dot Cellular Automata,*International Journal of theoretical Physics,*1-12.

[6] KANNAKI, S ; KARTHIGAI LAKSHMIAND,S ; KAVIYA,G.2018, *Design and Performance Analysis of Serial Communication in QCA. International Journal of Pure and Applied Mathematics*. BULGARIA,Vol.119,No.12,825-835.

[7] SILVA,S;SARDINHA,L;VIEIRA,M;VIEIRA,L;NETO,O.2015, *Robust Serial Nanocommunication With QCA. IEEE TRANSACTIONS ON NANOTECHNOLOGY*, Vol.14,No.3,347-358.

[8] RESHI,J;BANDAY,M;KHANDAY,F.2015, *Sequential Circuit Design Using Quantum dot Cellular Automata (QCA). 2015 International Conference on Advances in Computers, Communication and Electronic Engineering*. INDIA,143-148.

[9] LENT,C;BERNSTEIN,G. 1993, *Quantum cellular automata. Nanotechnology*.USA, Vol. 4,No.1,49.

[10] TORABI,M.2011, *A New Architecture for T Flip Flop using Quantum-Dot Cellular Automata. IEEE 2011 3rd Asia Symposium on Quality Electronic Design*. MALAYSIA,408-414.

[11] SRIDHARAN, K;PUDI,V .2015, *Design of Arithmatic Circuits in Quantum Dot Cellular Automation. International Journal of Control and Automation*. SWITZERLAND,599.

[12] 10 september.2019. https://waluslab.ece.ubc.ca/qcadesigner/.

[13] WALUS,K;DYSART,T;JULLIEN,G;BUDIMAN,R.2004,*QC ADesigner:A Rapid Design and Simulation Tool for Quantum-Dot Cellular Automata.IEEE Transactions on Nanotechnology*.Vol.1,No.1,26-31.

[14] SINGH,A,K.2008,*FOUNDAION of SWITCHING THEORY and LOGIC DESIGN*,NEW AGE INTERNATIONAL,INDIA,410.

[15] BINAEI,R;GHOLAMI,M.2019,*Design of novel D flip flop with set and reset abilities in quantum-dot cellular automata nanotechnology.Computer and Electrical Engineering*.Vol.74,259-272.

[16] HASHEMI,S;NAVI,K.2012,*New robust QCA D flip flop and memory structures,Microelectronics Journal*.Vol.4,929-940.

[17] SASAMAL,T;SINGH,A;GHANEKAR,U.2018,*Design and implementation of QCA D-Flip-flops and RAM cell using majority gates,Journal of Circuits,Systems and Computer*.Vol.28,No.5,1950079.

[18] ROSHAN,M;GHOLAMI,M.2018,*Novel D Latches and D flip-flops with Set and Reset Ability in QCA Nanotechnology Using Minimum Cells and Area, International Journal of Theoretical Physics*.Vol.57,No.10,3223-3241.

[19] GODSE,A,P;GODSE,A,D.2009, *Digital Principles& System Design,Technical Publications*,INDIA,764.

[20] TAMBE,*A;BHAKRE,S;KASSA,S.2019,Design and Analysis (2X1) and (4X1) Multiplexer Circuit in Quantum dot Cellular Automata approach, International Journal of Innovative Technology and Exploring Engineering* .Vol.8,No.6S3.INDIA,277-281.

[21] ASFESTANI,M;HEIKALABAD,S.2017, *A unique structure for the multiplexer in quantum dot cellular automata to create a revolution in design of nanostructures,PhysicaB*. Vol.512,91-99.